

電気試験所におけるトランジスタコンピュータの研究開発および資料保存状況

山田昭彦

■ 要旨

電気試験所（後の電子技術総合研究所、現在の産業技術総合研究所）では1954年に電子部を設立し、トランジスタコンピュータの研究開発を開始した。1956年にプロトタイプETL Mark Ⅲの試作に成功し、これが世界で最初のプログラム内蔵式トランジスタコンピュータとなった。つづいて実用機のETL Mark Ⅳを1957年11月に開発し、これをもとに多くの国産商用トランジスタコンピュータが開発された。トランジスタコンピュータについては平成12年度に所在調査および系統化を行ったが、その後産業技術総合研究所内に初期のトランジスタコンピュータの構成部品が残されていることが分かったため再調査を実施し、ETL Mark Ⅲの内部記憶装置に用いられた光学ガラスの遅延線記憶素子など貴重な部品が保存されていることを確認した。

■PROFILE

AKIHIKO YAMADA

東京電機大学大学院 理工学研究科

情報システム工学専攻 特任教授

昭和34年3月 大阪大学工学部通信工学科卒業

昭和34年4月 日本電気株式会社入社

コンピュータおよびCADシステムの開発に従事

平成5年4月 東京都立大学工学部電子・情報工学科教授

平成12年4月 国立科学博物館 主任調査員

平成15年4月 東京電機大学大学院 理工学研究科特任教授

IEEEフェロー、情報処理学会フェロー

IEEE Computer Society History Committee委員

工学博士

Contents

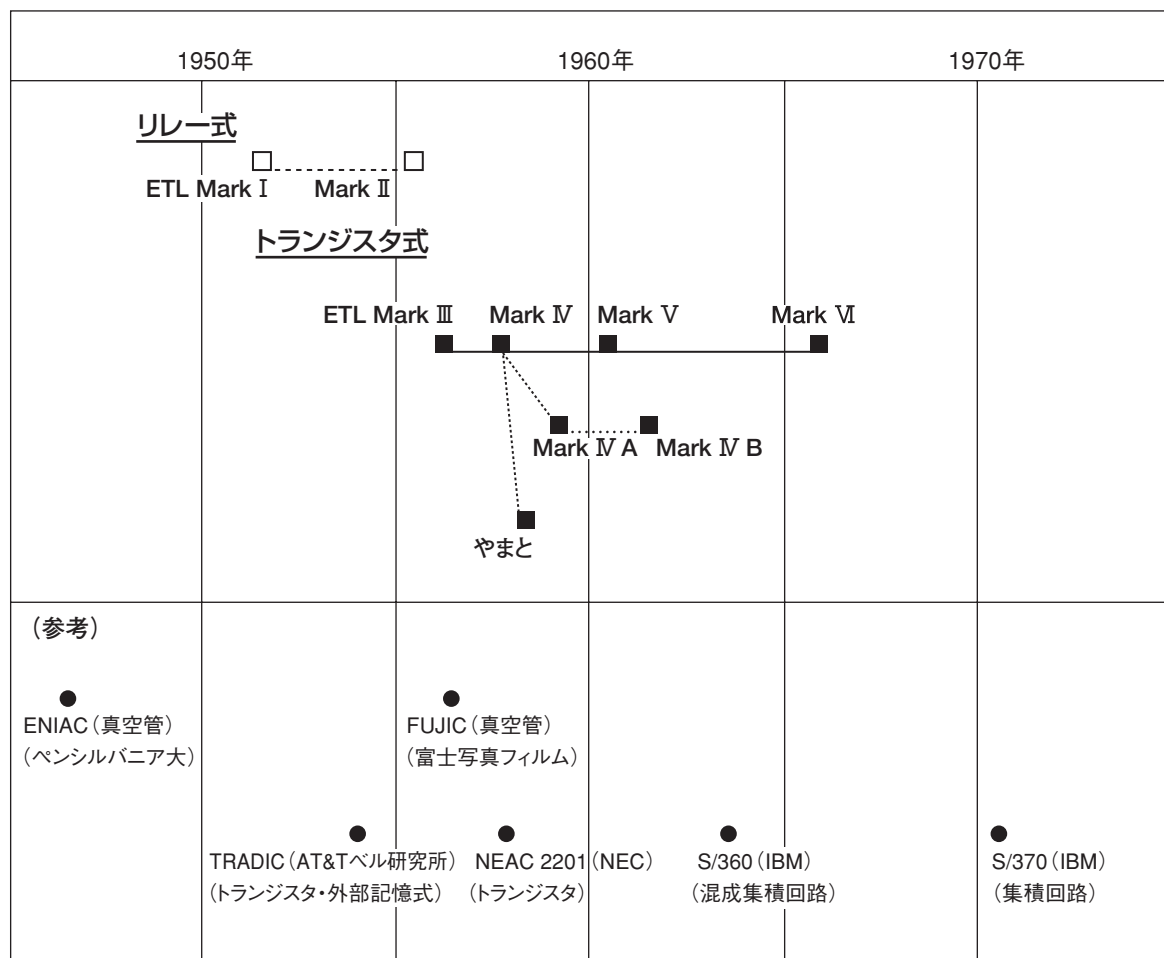
1. はじめに.....	120
2. 電気試験所コンピュータの保存品.....	121
2.1 ETL Mark Ⅲ.....	121
2.2 ETL Mark Ⅳ.....	121
2.3 やまと.....	122
2.4 ETL Mark ⅣA.....	122
2.5 ETL Mark ⅣB.....	122
2.6 ETL Mark V.....	122
2.7 ETL Mark VI.....	123
3. 電気試験所における トランジスタコンピュータの研究開発 ...	124
3.1 ETL Mark Ⅲ.....	124
3.2 ETL Mark Ⅳ.....	124
3.3 やまと.....	125
3.4 ETL Mark ⅣA.....	125
3.5 ETL Mark ⅣB.....	125
3.6 ETL Mark V.....	125
3.7 ETL Mark VI.....	126
3.8 電気試験所トランジスタコンピュータの 海外での評価.....	126
4. まとめ.....	127

電気試験所（後の電子技術総合研究所、現在の産業技術総合研究所）では戦後いち早くデジタルコンピュータの研究開発に着手し、リレーを用いた自動計算機のパイロットモデルETL Mark Iを1952年3月に、実用機ETL Mark IIを1955年11月に完成している⁽¹⁾。1954年に所内に電子部が設立され、トランジスタコンピュータの研究開発が開始された。プロトタイプETL Mark IIIを1956年7月に試作し、これが世界で最初のプログラム内蔵式トランジスタコンピュータとなった⁽²⁾。つづいて実用機のETL Mark IVを1957年11月に開発し、これをもとに多くの国産商用トランジスタコンピ

ュータが開発された。

トランジスタコンピュータについては平成12年度に所在調査および系統化を行ったが⁽³⁾、その後産業技術総合研究所（産総研）内に初期のトランジスタコンピュータの構成部品が残されていることが分かったため、これについて再調査を実施した。ETL Mark IIIの内部記憶装置に用いられた光学ガラスの超音波遅延線、ETL Mark IVのプラグインパッケージおよび磁気ドラム記憶装置、ETL Mark IVAの磁心記憶、ETL Mark IV Bのプラグインカード、ETL Mark VIの磁性薄膜記憶素子などが保存されていることを確認した。

図1 電気試験所におけるトランジスタコンピュータの開発



2.1 ETL Mark III⁽²⁾⁽⁴⁾⁽⁵⁾⁽¹⁰⁾

ETL Mark IIIは世界で最初のトランジスタ式プログラム内蔵型コンピュータであり、内部記憶装置に用いられた光学ガラスを媒質とする超音波遅延線は電気試験所が金石舎研究所（後のキンセキ(株)、現在のKSSキンセキ(株)）の協力を得て開発した。当時は水銀遅延線が記憶素子の主流であったが取り扱いに難があった。独自に光学ガラスを用いて安定した扱いやすい記憶素子を実現したことは、コンピュータ技術史上非常に重要な事項である。この遅延線記憶素子は遅延時間 $512\mu\text{s}$ 、平均アクセス時間 $256\mu\text{s}$ で、1MHzのクロックパルスに同期して512ビットを貯えることができる。これを4本使用し、合計2,048ビット、128語（16ビット／語）の内部記憶を構成した。現在2個の遅延線記憶素子（内1個はケースの内部がみられる状態）が産総研に保存されている。（写真1）

基本回路はプラグインパッケージの形をとり（写真2）、論理素子には点接触型高速トランジスタT-1698（当時の東京通信工業、後のソニー製）およびゲルマニウムダイオードが用いられた。これまでの調査ではプラグインパッケージの現物の所在は確認されていない。



写真1 ETL Mark III 超音波遅延線記憶装置
(産業技術総合研究所にて撮影)



写真2 ETL Mark III プラグインパッケージ
(産業技術総合研究所提供)

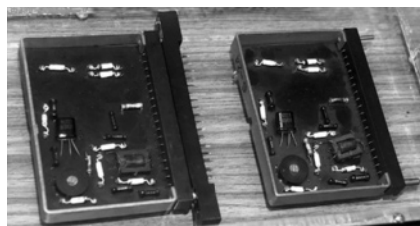


写真3 ETL Mark IV パルス増幅器
(産業技術総合研究所にて撮影)

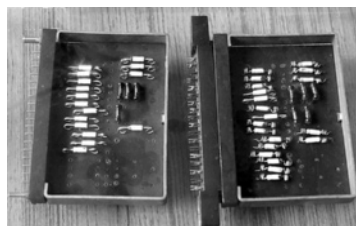


写真4 ETL Mark IV ゲート回路
(産業技術総合研究所にて撮影)



写真5 ETL Mark IV 磁気ドラム
(産業技術総合研究所にて撮影)

2.2 ETL Mark IV⁽⁶⁾⁽¹⁰⁾

ETL Mark IIIで用いた点接触型トランジスタは不安定でありかつ生産中止の方向であったため、ETL Mark IVの論理回路には低速ではあったが安定度の高い接合形トランジスタHJ-23（日立製）が採用された。またゲート論理を実現するゲート回路にはゲルマニウムダイオードSD34（NEC製）が用いられた。基本回路はMark IIIと同じくダイナミック・フリップフロップであるが、Mark IIIはクロックが1MHz、4相であったのに対し、Mark IVでは単相になり、回路が低速になったためクロックパルスは180KHzとなった。記憶装置もMark IIIの遅延線に代わって高速磁気ドラムが採用された。Ferranti社製の高速磁気ドラムに近いものを、機械的な部分を北辰電機（後の横河北辰電機、現在の横河電機）に、磁気的な部分を東京通信工業（後のソニー）に依頼して開発し、記憶容量1,000語、回転数18,000rpm、アクセス時間1.65ms（平均）の磁気ドラム記憶を実現した。

現在、論理回路のプラグインパッケージ（トランジスタ、ダイオードを含むパルス増幅器（写真3）およびダイオードのみのゲート回路（写真4）の2種類）および磁気ドラム記憶装置（写真5）が産総研に保存されている。

2.3 やまと⁽⁷⁾⁽¹⁰⁾

機械翻訳のために開発された専用機で1959年2月に完成した。基本回路はETL Mark IVのものを採用している。プラグインパッケージは松下通信工業で製作され、トランジスタ、ダイオードも松下製のものが用いられた。現在産総研に論理回路のプラグインパッケージが1枚保存されている。(写真6) 同種のパッケージは国立科学博物館にも1枚保存されている。

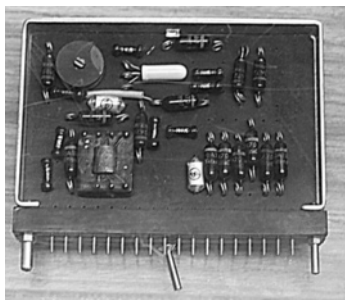


写真6 「やまと」パッケージ
(産業技術総合研究所にて撮影)

2.4 ETL Mark IVA⁽⁸⁾⁽¹⁰⁾

ETL Mark IVを改造して磁心記憶装置の研究成果を適用し、同時に語長の拡張、指標レジスタの増設なども行ったものがETL Mark IVAで、1959年8月に完成した。演算速度はETL Mark IVの数十倍に向上した。産総研にはETL Mark IVA用の磁心記憶(写真7)が保存されている。ETL Mark IVAの装置全体は国立科学博物館に保存されている。



写真7 ETL Mark IVA 磁心記憶
(産業技術総合研究所にて撮影)

2.5 ETL Mark IVB⁽⁸⁾⁽¹⁰⁾

ETL Mark IVBは入出力専用のコンピュータとして開発され、1961年2月に完成した。磁気テープ装置(日本電気製)4台を制御した。同年末にはETL Mark IVAとの接続も行われた。現在産総研には論理回路のプラグインカード(トランジスタを含むパルス増幅器(写真8) およびダイオードのみのゲート回路(写真9)の2種類)が保存されている。

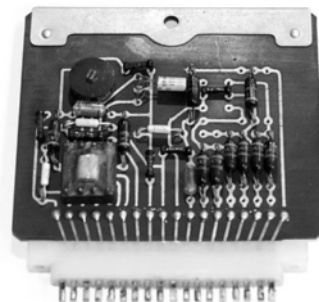


写真8 ETL Mark IVB パルス増幅器
(産業技術総合研究所にて撮影)

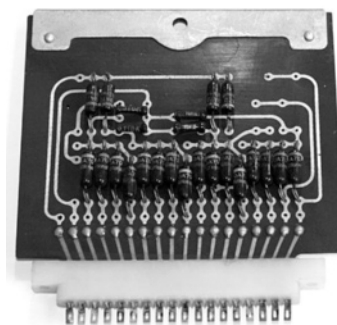


写真9 ETL Mark IVB ゲート回路
(産業技術総合研究所にて撮影)

2.6 ETL Mark V⁽⁸⁾⁽¹⁰⁾

ETL Mark IVの完成に引続いて所内の計算需要に応えるための実用機としてETL Mark IVの技術にもとづきETL Mark Vの開発が行われ、1960年5月に完成した。製作は日立製作所で行われた。現在のところETL Mark V関係の保存品はない。

2.7 ETL Mark VI⁽⁹⁾⁽¹⁰⁾

ETL Mark VIは海外の超高速コンピュータを凌駕するものを目標に開発され、1965年3月に完成した。ETL Mark VIの開発はこれまでの開発と異なり、メーカーでは実施し得ない進んだ技術を世に示すことに意義があったため、種々の新技術の試みが行われた。現在磁性薄膜記憶素子(写真10)、磁心記憶、周辺回路パッケージなどが産総研に保存されている。

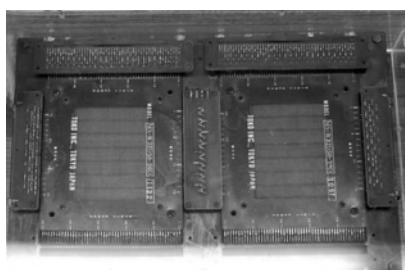


写真10 ETL Mark VI磁性薄膜記憶素子
(産業技術総合研究所にて撮影)

今回の産総研における調査で現物の所在を確認したものは表1の通りである。

表1 電気試験所トランジスタコンピュータ保存品(産総研所蔵)

	資料(保存品)内容	数量	備 考
1	ETL Mark III 超音波遅延線記憶装置	2	金石舎研究所製 内1点はケースを開けて中が見えるようにしたもの
2	ETL Mark IV プラグインパッケージ (パルス増幅器)	2	接合型トランジスタHJ-23、 ゲルマニウムダイオードSD34使用
3	ETL Mark IV プラグインパッケージ (ゲート回路)	2	ゲルマニウムダイオードSD34使用
4	ETL Mark IV 磁気ドラム記憶装置	1	記憶容量：1,000語 回転数：18,000rpm
5	やまと プラグインパッケージ (パルス増幅器)	1	接合型トランジスタ、ゲルマニウムダイオード使用
6	ETL Mark IV A 磁心記憶	1	電流一致型
7	ETL Mark IV B プラグインカード (パルス増幅器)	2	接合型トランジスタ、ゲルマニウムダイオード使用
8	ETL Mark IV B プラグインカード (ゲート回路)	2	ゲルマニウムダイオード使用
9	ETL Mark VI 磁性薄膜記憶素子	1	東光(株)製MX-W32D50-20D

3 電気試験所における トランジスタコンピュータの研究開発

電気試験所では戦前よりスイッチング理論の研究が行われていた。所長を務めた後藤以紀は戦後論理数学の体系を確立し、駒宮安男はこれを実際の論理回路の設計に適用するための電気計算回路理論としてとりまとめた。この成果は、駒宮および末包良太によりリレー計算機ETL Mark Iの開発に適用された。ETL Mark Iはパイロットモデルであったが、この成果をもとに実用機ETL Mark IIが開発された。和田弘は1948年に発明されたトランジスタの将来性に注目し、1954年に電子部を創設し、部長に就任してトランジスタの基礎研究から応用研究までを一貫して推進することを計画した。電子部では1956年にトランジスタコンピュータが試作され、リレー式のETL Mark I, Mark IIにつづくということで後藤以紀所長がETL Mark IIIと命名した。これについて実用機ETL Mark IV, 機械翻訳専用機「やまと」などが開発された。

3.1 ETL Mark III⁽²⁾⁽⁴⁾⁽⁵⁾⁽¹⁰⁾

電気試験所電子部の高橋茂、西野博二などの回路技術研究室の研究グループでは、当時国産で入手できる最も高速なトランジスタとして東京通信工業（後のソニー）製の点接触形トランジスタ約130本を使用しトランジスタコンピュータの試作機ETL Mark IIIを1956年7月に完成した。クロック周波数は1MHz、語長は16ビットの直列式2進法コンピュータであった。使用トランジスタを極力減らすため、米国国立標準局（NBS）の真空管コンピュータSEACの動的フリップフロップ回路をトランジスタで実現しこれを基本回路として採用した。これによりトランジスタ1本でフリップフロップを構成することが可能となった。Mark IIIでは基本回路の組合わせを約300枚のプラグイン型のパッケージに分割して収容した。このような実装方式は当時日本ではまだどこでも行われておらず、ETL Mark IIIではじめて採用された。

記憶装置には当時は水銀遅延線とブラウン管記憶装置が用いられていたが、水銀遅延線は扱いにくく、ブラウン管記憶装置は不安定であったため、

独自に石英ガラスを媒体とする固体超音波遅延線が開発された。遅延時間 $512\mu\text{s}$ の遅延線4本を使用し、合計128語（16ビット／語）の内部記憶を構成した。この遅延線記憶素子はその後大阪大学の真空管コンピュータの記憶装置にも使用された。

トランジスタコンピュータとしては、ETL Mark III以前に開発されたものとしてベル研究所で1954年に開発された航空機搭載用コンピュータTRADICおよびIBMで1955年に開発されたIBM608があるが、これらはプログラム内蔵式でないため、プログラム内蔵式トランジスタコンピュータとしてはETL Mark IIIが世界最初とされている⁽²⁾。写真11にETL Mark IIIの外観を示す。

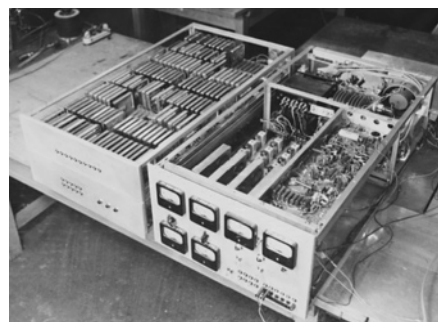


写真11 ETL Mark III 外観
(産業技術総合研究所提供)

3.2 ETL Mark IV⁽⁶⁾⁽¹⁰⁾

ETL Mark IIIの成果にもとづきトランジスタコンピュータの実用機ETL Mark IVの開発が計画され、計画開始から13ヶ月後の1957年11月に完成した。基本回路はMark IIIと同じくダイナミック・フリップフロップであるが、ETL Mark IIIで用いた点接触型トランジスタは不安定でありかつ生産中止の方向であったため、ETL Mark IVの論理回路には低速ではあったが安定度の高い接合形トランジスタが採用された。クロック周波数は180KHzとなったため、記憶装置もMark IIIの遅延線に代わって記憶容量1,000語の高速磁気ドラムが採用された。また演算速度の低下を防ぐためMark IVは語の構成が直並列式（並列4ビット、直列6桁）の10進法を採用した。10進法の採用は主要用途が事

務計算に移っていただろうと思われたこと、主記憶が低速なため10進2進変換にも時間がかかることなどにもよる。

写真12にETL Mark IVの外観を示す。Mark IVは非常に安定して動作し、製作も容易であったため、Mark IVの特許、ノウハウを用いてMark IVをベースにした商用コンピュータが日本電気（NEAC 2201, 2203など）、日立製作所（HITAC 301）、北辰電機（HOC 100）、松下通信工業（MADIC I）などで相次いで開発された。



写真12 ETL Mark IV 外観
(産業技術総合研究所提供)

3.3 やまと⁽⁷⁾⁽¹⁰⁾

「やまと」は英和の自動翻訳を目的として開発された機械翻訳専用機で1959年2月に完成した。記憶容量82万ビットの大容量磁気ドラム記憶装置をもつ。基本回路はETL Mark IVのものを採用し、プラグインパッケージ約1,000枚を使用している。本研究の成果については1959年6月にパリで開催された第1回国際情報処理会議で発表された。「やまと」のシステムを写真13に示す。機械翻訳機に関しては平成13年度に調査報告を行っている⁽¹¹⁾。

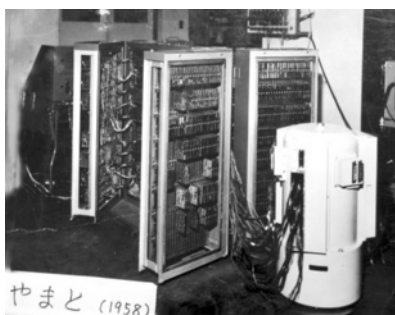


写真13 機械翻訳機「やまと」(産業技術総合研究所提供)

3.4 ETL Mark IVA⁽⁸⁾⁽¹⁰⁾

1959年8月にETL Mark IVは改造されてETL Mark IVAとなった。この改造は西野博二、渕一博、加藤雄士によって行われ、所内パルス技術研究室が開発した記憶容量1,000語、サイクルタイム55 μ sの磁心記憶装置が実装された。同時に語長の拡張、指標レジスタの増設なども行った。演算速度はETL Mark IVの数十倍に向上し、翌年東京大学のPC-2が完成するまでは国産機中最高速であった。Mark IVAはその後数年間所内の計算に使用された。ETL Mark IVAの外観を写真14に示す。

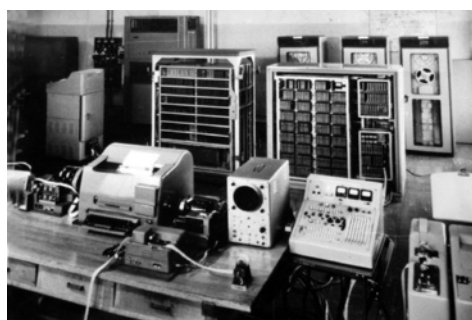


写真14 ETL Mark IVAならびにB
(産業技術総合研究所提供)

3.5 ETL Mark IVB⁽⁸⁾⁽¹⁰⁾

ETL Mark IVBはETL Mark IVAの入出力プロセッサとして西野博二、渕一博などにより開発され、1961年2月に完成した。プログラムへの自動割込み技術を駆使した入出力専用のコンピュータで、磁気テープ装置（日本電気製）4台を制御した。同年末にはETL Mark IVAとの接続が行われた。写真14はETL Mark IVAと接続された状態を示す。

3.6 ETL Mark V⁽⁸⁾⁽¹⁰⁾

ETL Mark IVの完成に引続いて所内の計算需要に応えるための実用機としてETL Mark IVの技術にもとづきETL Mark Vの開発が高橋茂、矢板徹、相磯

秀夫などによって行われ、1960年5月に完成した。論理設計は相磯秀夫が中心となって行われた。クロック周波数は230KHz、記憶装置は磁気ドラムで4,000語の容量を持ち、約150種の命令を実行できた。製作は日立製作所で行われた。Mark Vはその後日立製作所が商品化したHITAC 102のプロトタイプとなった。またMark Vをもとに京都大学のKDC-1、慶応大学のKCCが開発され、それぞれの学内で使用された。KDC-1はさらにHITAC 102Bとして商品化が行われた。ETL Mark Vの外観を写真15に示す。



写真15 ETL Mark V

3.7 ETL Mark VI⁽⁹⁾⁽¹⁰⁾

1950年代末には、海外ではマンチェスタ大学のATLAS、イリノイ大学のILLIAC II、IBMのSTRETCH、スベリランド社のLARC など、超高速コンピュータの開発計画が進行していた。電気試験所ではこれらの海外の超高速コンピュータを凌駕するものをつくることを目標にETL Mark VIの開発が開始され、1965年3月に完成した。ETL Mark VIの開発はこれまでの開発と異なり、メーカーでは実施し得ない進んだ技術を世に示すことに意義があったため、種々の新技術の試みが行われた。予算も1億円とMark IVに比べると20倍になり、トランジスタによる高速基本回路、高速磁心記憶装置、ページアドレス方式、高速大容量固定記憶装置、高度な先行制御方式、高速演算回路、割り込み技術を駆使した入出力制御方式など、多くの新技術が開発された。高速基本回路は、トランジスタ電流スイッチとエミッタフォロワの組合せに2

相のクロックパルスを適用したダイナミック回路である。論理の伴わない短時間の遅延には電磁遅延線が用いられた。これらの技術は少し変形して日立製作所のHITAC 5020に使用された。ETL Mark VIの外観を写真16に示す。



写真16 ETL Mark VI
(産業技術総合研究所提供)

3.8 電気試験所トランジスタコンピュータの海外での評価

コンピュータの歴史では権威のあるHerman H. Goldstineの“The Computer from Pascal to von Neumann”では、付録の中で日本のコンピュータ開発状況について紹介されており、電気試験所が短期間にトランジスタコンピュータETL Mark IIIとMark IVを開発したことを高く評価している。以下に電気試験所関係の部分引用する⁽¹²⁾。

This is not the first machine the Japanese built. That was the so-called E.T.L. Mark I completed in 1952, which was followed by the E.T.L. Mark II in November 1955. They built under the direction of Motinori Goto with Yasuo Komamiya chief designer. These are relay machines. (Later, in 1957, Goto was to go to Harvard to study for a year in Aiken's laboratory under a United Nations Scholarship.) Then came ETL Mark III and IV, both of which were fully transistorized computers. It is really remarkable that Japanese could have finished a relay computer as late as November 1955 and a transistorized one in November 1957.

電気試験所におけるトランジスタコンピュータの研究開発の成果は下記のようにまとめられる。

- 1) 世界に先駆けてプログラム内蔵式トランジスタコンピュータETL Mark IIIを開発し、コンピュータの第2世代の幕を開けた。
- 2) 商用トランジスタコンピュータのモデルとなる実用機ETL Mark IV、Mark Vなどを開発し国産商用コンピュータ開発推進に大きく貢献した。
- 3) 新しいコンピュータの要素技術を研究開発し、コストパフォーマンスがよく信頼性の高いコンピュータ技術をつぎつぎ生み出した。

トランジスタによるダイナミックフリップフロップ回路、固体遅延線記憶装置、プラグイン実装方式、電磁遅延線、トランジスタによる高速基本回路、高速記憶方式など

とくにETL Mark VI用に開発された高速記憶方式は、主記憶のほかに高速小容量の記憶を設けこれをプログラムスタックとしてプログラムの一部を記憶しておくもので、今日のキャッシュを先取りしたものである。モーリス・ウィルクスによる最初のキャッシュの論文⁽¹³⁾でもETL Mark VIのこの方式の論文⁽¹⁴⁾に言及している。

電気試験所で開発されたトランジスタコンピュータのうち装置として残っているものはETL Mark VIAだけであり、あとは構成部品として何点かが残っている状態である。現在残っているものは部品レベルのものも非常に貴重なものであり、今後は資料の所在場所が管理されていくことが望まれる。

謝辞

電気試験所トランジスタコンピュータの保存品調査にあたり、種々便宜をはかっていただいた独立法人産業技術総合研究所 古橋政樹成果普及部門長および成果普及部門 伊東一明広報出版部長に感謝いたします。

参考文献

- (1) M. Goto, Y. Komamiya, R. Suekane, M. Takagi and S. Kuwabara; “Theory and Structure of the Automatic Relay Computer ETL Mark

II,” 『Researches of the ETL』, No. 556, ETL (1956)

- (2) 「電子計算機の試作に成功－わが国最初のトランジスタ化自動計算機」, 『電試ニュース』, No. 79(1956.8)
- (3) 山田昭彦: 「コンピュータ開発史概要と資料保存状況について——第一世代と第二世代コンピュータを中心に——」, 『国立科学博物館技術の系統化調査報告 第1集』 (2001.3)
- (4) 高橋茂: 「ETL Mark III」, 『日本のコンピュータの歴史』, オーム社, pp. 139-143 (1985.10)
- (5) 高橋茂, 西野博二, 松崎磯一: 「トランジスタ電子計算機ETL Mark IIIの基本回路」, 『電子計算機専門委員会資料』 (1956.1)
- (6) 高橋茂: 「ETL Mark IV」, 『日本のコンピュータの歴史』, オーム社, pp. 144-149 (1985.10)
- (7) 高橋茂: 「やまと」, 『日本のコンピュータの歴史』, オーム社, pp. 151-152 (1985.10)
- (8) 高橋茂: 「ETL Mark VなどETL Mark IV型の計算機」, 『日本のコンピュータの歴史』, オーム社, pp. 150-151 (1985.10)
- (9) 高橋茂: 「ETL Mark VI」, 『日本のコンピュータの歴史』, オーム社, pp. 152-153 (1985.10)
- (10) 高橋茂: 「トランジスタ計算機 (ETL Mark III～VI)」, 情報処理, Vol. 17, No. 2 (1976.2)
- (11) 山田昭彦: 「3.4.1機械翻訳」, 「コンピュータ開発史概要と資料保存状況——第3世代・第3.5世代コンピュータおよびスーパーコンピュータについて——」, 『国立科学博物館技術の系統化調査報告 第2集』, pp.41-43 (2002.3)
- (12) Herman H. Goldstine: Appendix, 『The Computer from Pascal to von Neumann』, pp. 360-361, Princeton University Press (1972)
- (13) M. V. Wilkes: “Slave Memories and Dynamic Storage Allocation,” IEEE EC-14, P270 (1965)
- (14) S. Takahashi, H. Nishino, K. Yoshihiro and K. Fuchi: “System Design of the ETL Mk-6 Computer,” Proc. Of IFIP Congress 62 (1962)

国立科学博物館 技術の系統化調査報告 第3集

平成15(2003)年12月19日

- 編集 独立行政法人 国立科学博物館
産業技術史資料情報センター
- 発行 独立行政法人 国立科学博物館
〒110-8718 東京都台東区上野公園 7-20
TEL：03-3822-0111
- デザイン・印刷 株式会社ジェイ・スパーク