露光装置技術発展の系統化調査

Investigation on Systemization of Technological Development of Photolithography Equipment

高橋 一雄 Kazuo Takahashi

■ 要旨

半導体デバイスの製造は、プレーナー型トランジスタの発明によって格段の進歩を遂げ、そこで開発された光露光技術を中心とするいわゆる「フォトリソグラフィー技術」も半導体デバイスの発展と共に歩んできた。特に、わが国においては、カメラを中心とした光学機器を製造販売していたメーカーが、比較的早い時期から半導体露光装置分野に参入しており、DRAMとMPUを中心とする集積回路の需要が増加する1970年代後半には、官民共同の研究機関「超LSI共同研究組合」が組織され、プロセス技術や露光技術の研究・開発も加速された。これを契機として、半導体デバイスメーカーの技術者と半導体製造装置メーカーの技術者の交流も深まり、それに「官」、「学」も加わり共に議論を戦わしながら技術を磨き、装置開発に反映させていった。

この半導体デバイスの開発、製造装置の開発では、その目標となる具体的な数値が、ムアーの法則に代表されるロードマップと呼ばれる技術予測の年表によって明確に示されるようになり、比較的無駄のない開発が進められたこと。加えて、この時代は、軽量高剛性のエンジニアリング・セラミックス、エンジニアリング・プラスチックス、低膨張金属材料などの新しい材料技術、リニア・アクチュエータやPZT素子に代表される高速・高精度駆動技術と精密制御技術、ヘテロダイン方式のレーザ干渉測長技術に代表される精密計測技術など、多くの新しい技術が開発されており、それらをタイムリーに取り入れられたことも幸いしている。

この調査報告書では、光露光装置、特に、1980年代中頃から1990年代後半まで、世界を凌駕したステッパー技術に着目し、その技術が半導体デバイスの微細化のトレンドと、その時々で、どのようにかかわって来たかについて調査したので、その結果について述べてみたい。

3

Abstract

Fabrication of semiconductor devices has achieved great progress through the invention of the planar-type transistor. Together with this progress in semiconductor devices, great progress in the developed light-exposure technology—of which so-called "photolithography" plays a leading role—has also been made. In particular, as regards the situation in Japan, the manufacturers that produce and distribute optical devices (mainly cameras) entered the field of semiconductor photolithography in the relatively early stage. And in the latter half of the 1970s—a time when the demand for integrated circuits like DRAMs (dynamic random access memories) and MPUs (microprocessor units) was increasing—a research body called the "VLSI Joint Research Association" was set up by the government and private sector (five computer manufacture companies). As a result, research and development on process technologies and photo lithography technologies was accelerated. With this time marking a turning point, technical exchanges deepened between the process engineers of semiconductor-device manufacturers and the engineers at development section of semiconductor-fabrication equipment. In addition, the national laboratories and the academic institutes also joining in these lively exchanges, these technologies were refined, and these refinements were reflected in the subsequent development of devices and equipment.

As regards development of both fabrication equipment and semiconductor devices, tangible values were set as development targets by means of a chronological table of technological forecasts (known as a "roadmap") as represented by Moore's Law. Efficient development could thus be pushed forward according to such roadmaps.

In addition, during that time, many new technologies were developed, for example, new materials technologies such as new lightweight & high-strength engineering ceramics, engineering plastics, a low-expansion materials, and new technologies such as precise servo equipments & control technologies, and precise measurement technologies such as heterodyne-laser interferometer. And it was fortunate that these technologies were introduced just at the right time.

Focusing on photolithography equipment—particularly world-beating stepper technology developed from the mid-1980s to the late 1990s—this report presents the results of an investigation on how this technology was related at any given time to the trend concerning the nano-fabrication of semiconductor devices.

Profile

一旗 Kazuo Takahashi

国立科学博物館産業技術史資料情報センター主任調査員

昭和41年3月	日本航空協会 航空学術賞受賞
昭和45年3月	中央大学理工学研究科精密工学専攻
	修士課程終了
昭和54年2月	キヤノン株式会社入社、半導体露光装置、
	プロセス機器の開発に従事
昭和56年7月	工学博士の学位取得
平成04年4月	中央大学理工学部精密工学科講師
平成16年3月	キヤノン株式会社、定年退職
平成17年4月	国立科学博物館産業技術史資料情報センター
	主任調査員

学会等の活動

精密工学会の論文校閲委員会及び出版部会委員、日本機械学会の 出版部会委員、日本半導体製造装置協会の用語辞典改定委員、技 術企画委員会、競争力強化専門委員会及び技術戦略特別委員会委 員など。

Contents

1.はじめに119	
2.フォトリソグラフィー技術について122	
3.半導体の歴史と露光技術発展の経緯130	
4.露光装置(ステッパー)に投入された諸技術139	
5.露光装置の延命策153	
6.考察155	
7.おわりに158	
附図 ムアーの法則と微細化のトレンド160	
附表1 半導体デバイスメーカー・トップ10161	
附表2 登録候補一覧161	
附表3 半導体の歴史と露光装置の歴史162	
附表4 ニコンとキヤノンの露光装置開発年表164	
参考資料1 半導体の製造プロセス165	
参考資料2 半導体製造プロセスで使用される装置169	

1 はじめに

半導体素子の製造は、クリーン・ルームと呼ばれる 非常に清浄度の高い管理された特殊な空間で行われ、 製造装置である半導体露光装置は、精密機器特有の温 度に対する敏感さ、微細な塵埃(ごみ)などを嫌うこ とから、そのクリーン・ルームと呼ばれる空間内で、 さらにチャンバーと呼ばれる精密な温度コントロール された小部屋に設置されている (写真1.1参照)。した がって、工場見学などで半導体製造ラインを訪れても、 クリーン・ルームの外部から窓を透して中の作業の様 子を垣間見ることができる程度で、それ以外では、一 般の方々が工場の内部を見ることが出来る機会はほと んどないと思われる。また、半導体製造技術自体もか なり機密性が高く、製造ラインに置かれている装置の 種類、そのレイアウトなどを公開することが、半導体 製造技術のノウハウを公開することに等しいという考 えから、一般に公開されることはなかった。



写真1.1 縮小投影型露光装置 NSR-2205i14E2 (出典;株式会社ニコンのカタログ)

そして、当時は、露光装置製造業界も例外ではなく、露光装置自体が、先端技術の粋を集めて開発されており、企業間の開発競争も激しいことから、半導体製造装置の業界団体SEMI(注参照)の主催する世界的なイベントであるセミコン・ショーを除いて、一般に公開されることはほとんどなかった。業界の一大イベントであるこのショーでも、半導体露光装置、特にステッパーは、周囲をパーティションで囲い、特定のデバイスメーカーの担当者のみに展示内容を説明するといった場面もあった。

この分野では、独特の専門用語や略称などが多く使われており、初めてこの分野に接するには、かなり負担になるのではないかと思われるので、露光装置に直接関係しない用語も出来る限り「(注)」として、その

節の終わりに簡単な説明を加えておいたので参考にされたい。

半導体露光装置は、前述のように、一般には、内部 構造を見ることは出来ないが、チャンバー内部は、フォト・レジストと呼ばれる特定の波長の光に感光する 感光剤に感光しない領域のイエロー・ライトとよばれ る照明が取り付けられており、運転中の装置の状態な どを前面の小窓から観察できるようになっている。露 光装置の主要部は、図1.1にスケルトンで模式図的に 示したように、露光を行うための光源部、マスクに描 画された半導体素子の回路パターンを投影するための 投影レンズ部、そして、回路素子を作るウェーハ・ス テージとウェーハをハンドリングするためのウェー ハ・ローダーなどのユニットから成り立っている。こ の露光装置とそこで使われている多くの技術は、現在 も世界をリードする技術として発展し続けている。

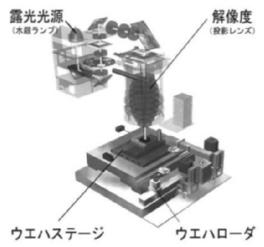


図1.1 ステッパーの模式図 (出典;株式会社栃木ニコンの資料)

この「露光装置技術発展の系統化調査」では、初めに、調査対象である露光装置の紹介をかねて、簡単に半導体素子の製造工程について説明し、その製造工程の中での露光装置の役割を明らかにした上で、本論に入ることにする。本論では、1980年代から1990年代の中ごろまで世界をリードしてきた日本の半導体製造の歴史を紐解き、それを支えてきた半導体製造装置のなかで、特に全世界で90%のシェアを独占していたステッパー(注参照)と呼ばれる半導体露光装置に焦点を絞り説明する。

<SEMI (Semiconductor Equipment and Materials International) >

1970年にシリコンバレーを中心に半導体産業が急激に開花し、半導体産業が大きくなり、半導体の製

造装置、材料を中心とした専門の展覧会(ショー)を行う「Semiconductor Equipment and Materials Institute」という任意団体として作られた。1987年にSEMIは、「Semiconductor Equipment and Materials International」として、標準規格の制定など、ワールドワイドの活動する業界団体となる。

<ステッパー(Stepper)>

ステッパーとはどのような装置かについては、2-3-2 節で詳しく説明するので、ここでは、半導体素子を つくる製造装置の一つであると理解されたい。

1.1 華やかなステッパーの時代

最初のステッパーと称する縮小投影露光装置は、1978年に米国のジーシーエー社(GCA;米国)から発売された。同時期にわが国では、株式会社ニコン(以下ニコンと記す)が、国産初のステッパー(SR-1)を開発し、超LSI技術研究組合に納入している。そして、1980年には、ニコンはステッパーNSR-1010G(写真1.2参照)の出荷を開始している。



写真1.2 ニコンのステッパー NSR-1010G (出典; Japan Nanonet Bulletin Vol.28)

ここで、わが国のステッパー開発の手本ともなった GCA社の半導体製造装置とその開発の歴史について 簡単に触れておきたい。

GCA社は、1958年、グリーンバーグ(M. Greenberg)らによって設立された。その後、世界最初のフォトレピーター(型番;971GP)を開発(1961年)したDavid W. Mann社(米国)を吸収合併し、GCA/DAVID W. MANNとなる。そして、1968年には、10倍のマスクを製作できるパターンジェネレーター(1600PG)を開発している。この装置では、XおよびYに移動可能な高精度のXYステージが搭載されていた。

1976年には、ステージの位置決めにヒューレットパッカード社のレーザ測長器(HP 5501A)を搭載したパターンジェネレーター(3600PG)とフォトレピーター(3696PR)を発表している。このフォトレピーターでは、外部振動から装置を保護するための除振台と精密な温調空間を作るための恒温チャンバーが採用されており、この時点ですでに、ステッパーに必要な

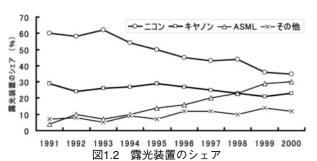
要素技術が開発されていたわけである。そして、冒頭でのべたように1978年にGCA社が世界初のステッパー(4800DSW)を発表した。

1980年代初頭は、先行メーカーであるGCA社のステッパーが全世界の約90%を占めていた。

1983年には、キヤノン株式会社(以下キヤノンと記す)がステッパーの製造に参入し、その後、ステッパーを製造している装置メーカーは、前述のジーシーエー社、ニコン、キヤノンと、(株)日立製作所、パーキンエルマー社(PerkinElmer;米国:後にSVGL)、テーアールイー社(TRE;米国)、フィリップス社(Philips;オランダ:後にASMLとなる)、ウルトラテック社(Ultratech;米国)、オプティメトリックス社(Optimetrix;米国)など、ワールドワイドで十数社を数えた。

しかし、わが国の半導体生産量の増加とともに、1980年代中頃にはすでにGCA社を抜き、ニコンのシェアは、世界一となっている。

そして、1980年代の後半には、ニコン(約60%)と キヤノン(約30%)で、全世界の90%近くのシェアを 取るに至り、この市場独占の状態は、1990年代後半ま で続いた(図1.2参照)。



(注)

パターンジェネレーター(Pattern Generator);

半導体素子の回路パターンを形成するのは、現在ではほとんど電子ビーム描画装置が使用されているが、この描画を4枚のマスキングブレードをそれぞれ動かして細いスリット状の開口部、あるいは矩形形状の開口部にするなど、また、それを同一平面内で回転させるなどして、マスクを移動させながら、順次開口部から露光光をマスク上に塗布した感光剤に照射して10倍の大きさの回路パターンをマスク上に形成する装置を、パターンジェネレーターと呼んでいる。

フォトレピーター (Photo repeater);

パターンジェネレーターで製作された10倍の大きさの回路パターンの原画を1/10に縮小して1枚のマスク上に並べて描画する装置をフォトレピーターと呼んでいる。

1.2 ステッパー時代の終焉

1995年以降、それまでDRAM(注参照)を主体にしていたわが国の半導体デバイスメーカーは、アジア・太平洋地域の国々の安い製造コストに対応できず、システムLSI(注参照)の製造に主軸を移さなければならなかったこともあって、生産額も年々右肩下がりの傾向となり、わが国半導体産業の発展とともに栄えたステッパーも、スキャナーにその席を譲り2000年で終焉を告げた。

そして、現在は、微細化の進展とそれに伴うニーズから、このスキャナーと呼ばれる半導体露光装置が製造装置の主流となっており、それを製造しているのは、ニコン、キヤノン、エーエスエムエル(ASML;注参照)の3社が主体で、全世界の90%近くのシェアを占めている。

<DRAM (Dynamic Random Access Memory) >

半導体記憶素子の一つ。読み書きが自由に行なえるランダム・アクセス・メモリー(RAM)の一種で、コンデンサとトランジスタにより電荷を蓄える回路を記憶素子に用いる。情報の記憶が電荷によって行われ、電荷は時間と共に減少することから、一定時間毎に記憶保持のための再書き込み(リフレッシュ)を行なう必要がある。コンピュータの電源を落とすと記憶内容は消去される。後述のSRAM(Static Random Access Memory)に比較して回路が単純で、集積度も簡単に上げることができ、価格も安いため、コンピュータのメインメモリはほとんどがDRAMである。

<SRAM (Static Random Access Memory) >

ランダム・アクセス・メモリー(RAM)の一種で、記憶素子としてフリップフロップ回路を用いる。記憶保持のための動作を必要としない、高速に動作するなどの利点を有するが、回路が複雑になり集積度を上げにくいという欠点をもっている。記憶保持のためのバックアップ電源を要しない利点を生かしたメモリー・カードなどに使用されている。

<システムLSI(System Large Scale Integration)> 多数の機能を1個のチップ上に集積した超多機能 LSI。ポータブル・オーディオやデジタル・カメラな ど、特定用途の電子機器に組み込まれている。一般に、 システムLSIを使用すると、複数のLSIを使用して組み 込み機器を設計するのと比べ、配線が単純にできる。 また、LSIの占有面積も少なくなるため、機器の小型 化も容易になる。システムLSIは単機能のLSIを用途に 合わせて組み合わせることができるような構造になっ ているため、機能が固定された組み込み機器に適した 構造であるといえる。しかし、汎用性の高いPDA (Personal Digital Assistance;注参照)などの組み込 み機器でも、例えばマイクロプロセッサと動画処理チ ップなどをシステムLSIとして集積して、マイクロプロセッサでは処理能力が足りない動画処理を動画処理チップの部分に肩代わりさせるという、「マイクロプロセッサーアクセラレータ」構造での利用も考えられている。システムLSIは「組み合わせ」構造となっているという特性上、システムLSIメーカーは開発済みのLSI回路を顧客のニーズに合わせて組み替え、それぞれの顧客に適したシステムLSIを販売することもできる。このようなオーダーメイドのシステムLSIは、開発コストも製造コストも安い上、多機能であることがら通常より高い価格で販売できる利点があり、価格競争の激しいDRAMから、システムLSIに方向転換することは、わが国の半導体産業では、方向転換の時期を逸した観はあるが、半導体デバイスメーカーの進む方向として当然の成り行きであろう。

システムLSIの製造では、従来のDRAMの製造とは 異なり、マスク(レチクル;次章参照)の交換タイ ミングが、1枚のウェーハ処理の途中で発生する、あ るいは、レチクルの交換の頻度が多いなどのことか ら、この用途に供するステッパーでは、レチクルの 交換時間を最短にするような機構が開発され、それ に適した駆動シーケンスも開発され適用されている。 <PDA (Personal Digital Assistance) >

手のひらに収まるくらいの大きさの電子機器で、パーソナル・コンピュータ(パソコン; PC)のもつ機能のうちいくつかを実装した個人用の携帯情報端末のこと。 <エーエスエムエル社 (ASML) >

その母体は、フィリップス社(オランダ)の一部門が独立したASM社である。その後1984年にASML社として新たに設立され、本社をオランダのフェルトホーフェンに置いている。そして、2001年には、当時米国最大手の露光装置メーカーであったエスブイジー・リソグラフィー(SVG Lithography)社を吸収合併し、急速に勢力を伸ばしてきた。SVGは、Silicon Valley Gropeの略)で、パーキンエルマー(PerkinElmer;米国)社の半導体装置部門をはじめとするシリコンバレー近郊の半導体関連メーカーが合同で設立した会社。

1.3 露光装置シェアの奪還は?

前述のようにASML社は、優れた反射光学系の技術を有するSVGL社を手中におさめ、現在では、世界最大の露光装置メーカーとなっている。そして、今後さらに微細化する光露光技術にも対応できる反射光学系の開発力と製造技術力を手中に納めたこのメーカーは、そのシェアをますます伸ばして行くのではないであろうか。これに対して、わが国の露光装置メーカーがどのように対応するかが今後の大きな課題であろう。

2 フォトリソグラフィー技術について

半導体素子の像をシリコン・ウェーハ(Wafer)上のフォト・レジスト(Photo Resist)と呼ばれる感光剤に転写する工程は、一般にフォトリソグラフィー(Photo Lithography)あるいは、略して、単にフォトリソ工程と呼ばれている。半導体素子を形成するシリコン・ウェーハは、99.9999999%(テン・ナイン)以上の純度の珪素(シリコン;化学記号 Si)の単結晶(写真2.1参照)であり、このインゴットと呼ばれるものを、結晶方向と外形寸法をそろえて、1mm(ミリメートル)以下の薄い板状にスライスし、表面を鏡面状に研磨したものである(写真2.2参照)。

現在では、その純度もトェルブ・ナインともいわれており、半導体素子の微細化にともなってその要求もさらに厳しくなっている。近年では、SOIというウェーハ(注参照)も開発され、高性能な半導体素子の製造に使用されている。



写真2.1 シリコン・インゴットの写真 (300mm) (出典; SUPERCONDUCTIVITY COMMUNICATIONS, Vol. 7, No. 5, Oct. 1998、信越半導体株式会社)

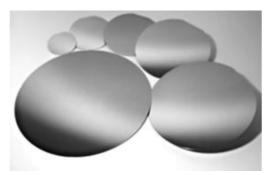


写真2.2 シリコン・ウェーハ (出典;日本エクシード株式会社のカタログ)

このリソグラフィーという言葉は、古くは、石版を用いて転写印刷する技術を意味する用語であったが、近年では、フォト・マスク(Photo Mask)、あるいは単にマスクと呼ばれるガラス基板上に微細な半導体素子の回路パターンを描画し、その像をウェーハ表面に塗布されたフォト・レジスト、あるいは単にレジストと呼ばれる感光剤に転写し、回路パターンのレジスト

像を形成する工程の総称として使用されている。

この技術は、1959年にテキサス インスツルメンツ社 (TI; Texas Instruments:米国)のジーン ホールニ (Jean Hoerni)が、半導体の表面に不純物を拡散させて平面構造のトランジスタを作る方法として世界で初めて採用し、プレーナー型トランジスタと (Planer Transistor)呼ばれるトランジスタの製造方法を確立させたものである。この製造技術は、平面型トランジスタの製造のための光学的露光技術 (Optical Lithography)として特許も出願されている。

フォトリソグラフィー工程とは、ウェーハ表面にレジストを塗布するレジスト塗布とレジストの安定化のためのPR熱処理(注参照)であるプリベークを行うレジスト処理工程から始まり、露光装置を使用してマスクの回路素子の像をウェーハ上に塗布したフォト・レジストに転写し、その露光工程完了後にプレベーク(PEB;Pre Bake)と呼ばれるPR熱処理工程をへて、レジスト像を形成するための現像工程及び現像後のレジスト像の安定化のためのポストベーク工程までを含めたウェーハ処理工程を意味していることが多い。そして、フォトリソグラフィー技術とは、この工程で使用されている技術の総称であるが、単にフォトリソグラフィーという場合には、露光技術あるいは露光装置そのものを指していることもある。写真2.3に、シリコン・ウェーハ上に半導体素子を形成したものを示した。

なお、巻末に参考資料として、一般的なCMOSトランジスタの全製造工程の簡単な説明を付け加えておいたので参考にされたい。

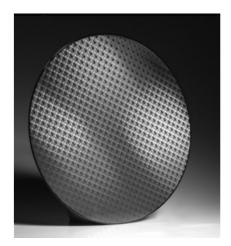


写真2.3 パターンニングされたウェーハの (出典;IBM社のカタログ)

<SOI (Silicon on Insulator) >

IBM社が開発した技術で、絶縁膜上に高純度の単結晶シリコン層を形成したウェーハあるいは半導体製造技術の名称である。SOI技術によって、プロセッサ基板上のトランジスタ層から絶縁層を超えて流れ出る電荷の停留を半減できることが実証されており、これによって、同じクロック・スピードで動作する類似のチップと比べて、SOIを採用したチップは性能が最大で数十パーセント向上する、あるいは電力消費を約半分に減らすことができる。現行ではSOI技術は工程が複雑なことと、コストがやや高いこともあり、特定の用途に限られている。

トランジスタを作るためのシリコン結晶薄膜は純粋なシリコン結晶であるが、その下の絶縁膜は完全な結晶ではないので、その上に完全な結晶を形成することは難しいとされていたが、IBM社はサイモックス(SIMOX:Separation by Implantation of Oxygen)と呼ばれる技術を用いて、これを克服している。これは、シリコン結晶表面からわずかに深い部分に酸素分子を埋め込み、それを熱酸化させることにより、酸化物絶縁層とその上にシリコン結晶薄膜を作るという技術である。これとは別に、高純度の酸化物絶縁膜をウェーハ表面に貼り付けるという方法(ELTRAN;日本)で、SOIウェーハを製造する技術も開発されている。

<PR熱処理 (Photo Resist) >

半導体製造工程では、処理温度が600℃以上の工程を「熱処理工程」と呼び、レジスト処理のような数百℃以下の低温度の熱処理は、「PR熱処理」と呼んで区別している。

2.1 レジスト処理工程と露光装置

ここでは、露光装置がその中心技術となっているフォトリソグラフィー工程全般について、そこで使用されている主な装置について説明する。

2-1-1 レジスト塗布装置

レジスト処理工程は、フォト・レジストを塗布機(スピン・コーター; Spin Coater)で薄く塗布することからはじまる。スピン・コーターとは、ノズルから供給された液状のレジストを、回転支持台に固定したウェーハ表面に滴下し、それを高速回転させることによって均一なレジスト薄膜を作る装置のことである。

レジスト膜厚は、レジスト粘度やレジスト中の溶媒 (溶剤)の種類により、スピン・コーターの回転速度 や回転させる時間を制御することで決められる。一般 の製造現場では、レジストの種類が決まると、その粘 度を溶剤の量で調節し、回転速度と回転させる時間は、一定として変えない場合が多いと聞いている。図2.1 に示したスピン・コーターには、塗布するレジストの状態を安定化するために、レジスト塗布が終わった後、滴下するノズルに残っているレジストを真空吸引により除去(サック・バック;Sack Back)し、リンス液を流して洗浄する機構を有している。

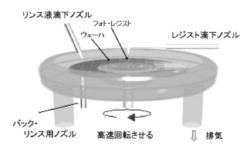


図2.1 スピン・コーター

また、レジストを塗布する寸前には、少量のレジストをノズルから吐出して捨て、ウェーハ上には、常に新しいレジストが滴下できる状態にするプリディスペンス・シーケンス(Pre-dispense Sequence)を挿入するなどの注意がはらわれている。スピン・コーターの回転による遠心力で余ったレジストが周囲に飛散するため、周囲に飛散防止用にカップ状の側壁を設け、その下部よりレジストの残渣、リンス液などを回収するポンプと、飛散しているミストが再びウェーハに付着しないように、周囲のエアーを吸引する装置も搭載されている。

このような配慮をすることによって、ウェーハ裏面にレジストが付着することも少なくなり、ウェーハ搬入時に露光装置を汚染する確率も激減することができた。また、ウェーハ裏面に付着したレジストは、ウェーハ・チャックでの平面矯正にも影響し、最悪の場合、投影した像が、デフォーカス(フォーカスが合っていないこと)による像性能の劣化となり、チップ収率の減少を招くことにもなる。

レジスト塗布工程をさらに、詳しく見てみると、前工程で洗浄されたウェーハ表面は、一般的に親水性が高く、レジストとの密着性が悪いため、はじめに、脱水ベーク(デハイドレーション・ベーク; Dehydration bake)と密着性強化のためのHMDS処理(注参照)を行い、表面を疎水性にした後、まずシンナーなどの溶剤を滴下し、表面の密着性を向上させる処理を行い、その溶剤を乾燥させた後にレジストを塗布する。

また、レジストの表面からの反射の影響を軽減する ため、レジストの上に反射防止膜(ARC; anti-reflective coating)をコート(塗布)する場合もある。

この塗布工程を終えたウェーハは、その周辺部分ま

でレジストが塗布されており、これを、ウェーハ・カセットに収納する場合や、搬送する場合に剥離して、エッジ部からの発塵の原因となるために、エッジ部分のレジストを除去するエッジ・リンス工程、あるいはウェーハの外周に沿って細いリング状に露光光を照射するいわゆる周辺露光光程を加え、あらかじめ不要なレジストを除去する場合もある。

このように、レジスト処理工程では、各種の有機溶剤や化学薬品を使用しているいため、露光装置のチャンバー内では、これらの薬品が気化して照明光学系や投影光学系などに付着しないような対策もとられている。過去には、露光光源の波長が短波長の遠紫外線の方向にシフトしたg線からi線に移行した時期とi線からクリプトン・フロライド(KrF)のエキシマ・レーザー(Excimer Laser)に移行した当初、長時間露光装置を使用していると照明光学系のレンズが白濁し、照度が低下するという現象として報告され、露光装置メーカーは、その原因究明と対策に追われたこともあった。

< HMDS (Hexa methyl di-silan) >

ヘキサ・メチル・ジ・シランという無色透明の薬品の略称で、この密着性向上塗布剤を用いた疎水性処理をHMDS処理と呼んでいる。特に、ポジ型レジストは、ウェーハ表面との密着性が悪いため、この処理は必然となっている。

2-1-2 現像処理装置

レジスト像の現像には、ウェーハを回転しながら現像液を滴下して行うスピン・デベロッパー(Spin Developer)と、現像液を満たした槽にウェーハを浸漬して現像する方法、いわゆるディップ現像法があるが、量産工程では、スピン・デベロッパーが主流となっている。スピン・デベロッパーも基本的な構造は、スピン・コーターと同じである(図2.2参照)。

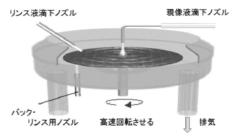


図2.2 スピン・デベロッパー

現像液を滴下するノズルとリンス液を滴下するノズルがあり、ミストの吸引、排気機構、リンス液の回収機構などから構成されている。

この現像処理に利用されているレジストがポジ型か あるいはネガ型であるかによって、露光工程以降の光 化学反応が異なってくる。

すなわち、ポジ型レジストは、光があたった部分が 光化学反応によって、強アルカリ溶液に溶ける化学構造に変化する。一方、ネガ型レジストは、感光していない部分はもともとキシレン系有機溶剤に溶ける性質を有しているので、逆に露光による光化学反応によって溶剤に溶けなくなったレジスト・パターン部分が残ることになる。

微細な工程では、解像力が高いノボラック樹脂系の ポジ型レジストが使用されることが多い。

2-1-3 PR熱処理装置

レジスト塗布前のデハイドレーション・ベーク、溶剤を揮発させるためのPR熱処理、塗布後のレジストの安定化のためのPR熱処理(プレ・ベーク;Pre Bake)、露光直後のレジストの断面形状安定化のためのPR熱処理(PEB;Post-Exposure Bake)、現像後のレジストのPR熱処理(ポスト・ベーク)には、オーブンあるいはホット・プレートが使用される。ホット・プレートは、発熱体を埋め込んだウェーハ・チャックのような形状をしている(写真24参照)。



写真2.4 真空用ホット・プレートの例 (出典;八光電機製作所のカタログ)

2-1-4 コーター・アンド・デベロッパー

現在、前述のレジスト処理工程では、コーター・アンド・デベロッパーと呼ばれる複合装置が一般に使用される場合が多い。

この種の装置では、インターフェースとなる搬送トラックを介して露光装置と接続され、ウェーハ表面にレジストを塗布、PR熱処理し、露光装置に移送し、露光の終わったウェーハを露光装置から受け取り、PR熱処理、現像、再度PR熱処理をしてレジスト像を形成するという一連の工程を枚葉式(注参照)あるいはバッチ式(注参照)に露光装置と一体となって処理することができるように構成されており、工程の途中で人間が介在することもなく、人為的な汚染、外部への搬送による汚染などを受けにくい構成となっている。

また露光装置の処理の高速化により、自然冷却では PR熱処理後のウェーハの温度が下がらない状態で露 光装置に搬入される可能性があり、精度に影響を及ぼす恐れがあるために、これを防ぐ目的でクーリング・ユニットを搭載したコーター・アンド・デベロッパーも開発されている。

近年では、半導体製造工場のクリーン・ルーム内でのウェーハやマスク (レチクル) の搬送は、ほとんど自動化されており、トラブル発生時やプロセス器機のメンテナンス時以外はクリーン・ルーム内に人影はみあたらない。

〈枚葉処理(枚葉式)〉

ウェーハを一枚ずつ加工することを枚葉処理といい、前述のレジスト処理工程や、プラズマによるドライ・エッチング装置などによくみられる。

〈バッチ処理 (バッチ式)〉

ウェーハは、通常、ウェーハ・カセットと呼ばれる収納容器に25枚単位で格納されており、このカセット単位で処理を行うことのできるウエット洗浄工程や、複数枚のウェーハを同時に処理することのできる成膜装置などは、バッチ式〇〇装置と呼ばれることもある。

2.2 光露光装置

2-2-1 コンタクト及びプロキシミティ露光技術

コンタクト露光装置あるいはプロキシミティ露光装置(写真2.5参照)は、露光装置の原点とも言うべきもので、一般の日光写真と同様に、印画紙に相当するレジストを表面に塗布したウェーハに、回路素子を描画したフィルム(ネガあるいはポジ)に相当するマスクを密着(コンタクト)して重ね、その上部から平行光線を照射して、ウェーハ表面のレジストにマスク像を転写して、レジスト像を形成する方式のものである。

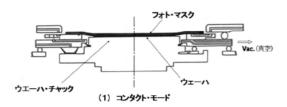
実際には、その密着させた面に空気層が出来ないように真空ポンプで吸引するなどの方法がとられている。



写真2.5 コンタクト・プロキシミティ露光装置 (出典; PLA-501F; キヤノンのカタログ)

しかし、密着性を向上させると、露光処理後にウェーハとマスクが離れないなどの問題を生じ、ウェーハ・チャックの中央に向かってわずかに凸になるように(凸レンズ状)加工し剥がしやすくするなどの工夫もなされている。チャックをこのような形状に加工できるのは、高精度なレンズ加工の技術を有する光学機器の専門メーカーだけが為せる業であった。

プロキシミティ露光装置は、レジストを表面に塗布したウェーハと、マスクを近接(プロキシミティ)した位置に保ち、その上部から平行光線を照射して、ウェーハ表面のレジストにマスク像を転写させレジスト像を形成する方式のものである(図2.3参照)。



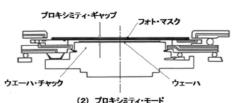


図2.3 コンタクト・プロキシミティ機構の例

このコンタクトあるいはプロキシミティ露光装置は、転写するマスク上の回路パターンと転写されたウェーハ上の像は、等倍となるのが特徴である。コンタクト方式は、密着性をよくすれば、回折光による像のぼけもなく解像力の点で有利であるが、ウェーハに塗布したレジストがマスクと密着するために、ウェーハとマスク双方がダメージを受けやすいという欠点がある。一方、プロキシミティ方式は、解像力の点では不利であるが、ウェーハ上に塗布したレジスト像とマスクのダメージは少なくなる利点がある。

これらの方式の露光技術は、現在でも一部の半導体製造に使用されているが、最近では主にプリント基板の製造装置やメムス(MEMS;注参照)の製造などでよく使われている。

<メムス(MEMS; Micro Electro Mechanical Systems) > メムスは、機械要素部品、センサー、アクチュエータ、電子回路を一つのシリコン基板上に集積化したデバイスを指す。プロセス上の制約や材料の違いなどにより、機械構造と電子回路が別なチップになる場合があるが、このようなハイブリッドの場合もMEMSという。主要部分は半導体プロセスを用いて作製されるが、半導体集積回路が平面を加工するプロセスで作製されるのに対し、立体形状を形成する必要があり、半導体

集積回路の作製には使われない犠牲層エッチングと呼ばれる可動構造を作製するプロセスが含まれる。

現在、製品として市販されている物としては、プリンターヘッド、圧力センサー、加速度センサー、ジャイロスコープ、デジタル・マイクロミラー・デバイス (DMD/DLP) などがある。

<デジタル・マイクロミラー・デバイス

(DMD; Digital Micro-mirror Device) >

高精細表示を実現するDLP (Digital Light Processing) 方式の一つで、表面に微小なミラーを無数に配置したチップの各々が、画素ひとつ(ピクセル)に対応する。従来の「ブラウン管」「液晶」「プラズマ」方式とまったく異なる投写方式で、プロジェクターなどの用途に使われている。DLP及びDigital Light Processingはテキサスインスツルメンツ社の商標。

2-2-2 投影露光技術

ガラス基板に塗られた感光剤に人物や風景などの像 を写し、それを原版として引伸ばし機で印画紙に投影 して焼き付けるという写真の技術は古くからある。

多くの場合、写真では、原版の像を拡大して焼付けるが、ステッパーに代表される投影露光技術では、電子ビーム (EB) 描画装置で作成されたフォト・マスクの原版を、10対1の縮小投影レンズを介して別のガラス・マスク上に縮小投影し、その投影像をステップ・アンド・リピートしながら順次転写する。この方式は、原版の像を拡大するか縮小するか、印画紙に相当するものが、紙ではなくガラス(マスク材料)であることが異なるだけで、一般の写真技術と同じである。装置としては、この従来からある写真技術を応用したフォト・リピーターあるいはステップ・アンド・リピート・カメラと呼ばれる装置が開発されている。半導体素子製造用の縮小投影露光装置は、このフォト・リピーターと呼ばれる装置を手本として開発されたものである。

2.3 投影露光装置の種類

微細な回路パターンを転写するために、マスクとウェーハの間に投影光学系を配置した装置を投影露光装置と呼び、その投影光学系の特性から、等倍投影露光装置、縮小投影露光装置に分類される。図2.4に露光装置の種類をまとめた。

2-3-1 投影露光技術

等倍投影露光装置は、パーキンエルマー社(米国;Perkin Elmer)が1973年に最初に発表している。現在では主に、液晶ディスプレイパネルの製造に使用されており、その光学系は、反射光学系(図2.5参照)を使用したもの、反射光学系と屈折光学系を組み合わせた光学系もある。等倍反射光学系は、一般に円弧状の結像領域を形成するため、マスクとウェーハを同期させて等速で移動しながら露光するいわゆるスキャン方式で行われる。したがって、マスクの口径を大きく出来れば、大画面を一回のスキャンで終えることができ非常に生産性が高い。反面、光学系の分解能の面では、屈折系のレンズで構成される投影露光系には及ばず、この方式は現在では、FPD(注参照)の製造装置として使われている。

縮小投影光学系では、一回で転写できる領域が小さいことから、ウェーハをステップさせながら逐次露光をするステップ・アンド・リピート方式の露光装置、いわゆるステッパーと、レチクルとウェーハを投影倍率に応じた速度で同期させてスキャンしながら露光を行う露光装置、いわゆるスキャナーがある。

現在、最先端の半導体の製造工程では、レチクル上 の回路素子パターンを高精度かつ大画面で転写できる スキャナーが主流となっている。



図 2.4 露光装置の種類

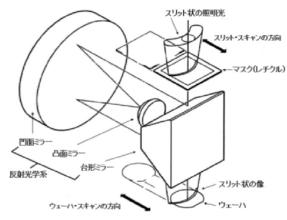


図2.5 反射型縮小投影光学系の例 (出典;キヤノンのカタログ)

< FPD (Flat Panel Display) >

液晶テレビでおなじみの筐体が板状で画面が平面に なっているディスプレイ機器の総称である。テレビな どで、従来から主流であったCRTディスプレイの筐体 は、ブラウン管が奥に大きくせり出した構造となって おり、画面も丸みを帯びていたが、これに対し、液晶 画面のように、近年の技術革新によって生み出された 省スペースで画面が平たい表示素子をフラット・パネ ル・ディスプレイと呼んでいる。FPDで最初に実用化 された液晶ディスプレイは、表示可能な色数や画面の 変化に対する反応速度などに問題があったが、最近の 技術革新によりそれらの問題も解消してきている。 FPDを実現する技術は液晶以外にもいくつかあり、代 表的なものにはレッドあるいはエルイーディー (LED; Light Emitting Diode; 発光ダイオード)、エレ クトロ・ルミネッセンス (EL; Electro Luminescence)、蛍光表示管(VFD; Vacuum Fluorescent Display)、プラズマ・ディスプレイ・パ ネル(PDP;Plasma Display Panel)などがある。

2-3-2 縮小投影露光装置 (ステッパー)

ここでは、ステッパーとスキャナーを採用した場合、 実際の露光工程がどのように進められて行くかについ て説明する。

ステッパーの動作は、製造する半導体素子のデータが外部の集中制御コンピュータから送られセットされると、レチクル(ステッパーではフォト・マスクをレチクルと呼んでいる)ストッカーからレチクルを取出しレチクル・ステージにセットする。そして、ウェーハ上にレチクル・パターンを転写するために、コーター・アンド・デベロッパーでレジストを塗布したウェーハがステッパーに移送されてくるところからステッパーのメイン・シーケンスがスタートする。

初めに、ウェーハがステッパーのプリアライメント・ ユニットに送り込まれると、ウェーハのオリエンテーシ ョン・フラット(注参照)あるいはノッチ(注参照)を 利用してウェーハ・ステージに対する加工されるウェー ハの粗い位置合せ(プリアライメント)が行われ、ウェ ーハ・ステージ上のウェーハ・チャックに移送される。

その後のアライメント・シーケンスとしては、製造 工程の初めのパターンニングされていないウェーハと 工程が進んでパターンニングされているウェーハで異 なってくる。

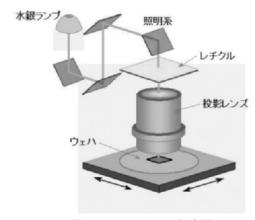


図2.6 ステッパーの概念図 (出典; Japan Nanonet Bulletin Vol.28)

① パターンニングされていないウェーハのシーケンス ウェーハ上に回路パターンが形成されていない最初 のウェーハ (バージン・ウェーハと呼ぶ) の場合、バ ージン・ウェーハは、レーザ干渉計で計測されるウェ ーハ・ステージ (高精度位置決めステージ;図2.7参 照)によって、第一ショットの位置に移動され、フォ ーカス計測、駆動とウェーハ・レベリング駆動が行わ

れ、露光が開始される。

そして1ショットの露光が終わるとステージが移動して、次のショットで再びフォーカス計測、駆動とウェーハ・レベリング駆動を行い、露光する……といった具合に、ステップ・アンド・リピート動作で各ショットの露光を繰り返してウェーハ全面にレチクル・パターンを転写する。露光が完了したウェーハは、搬出ロボットにより、再びコーター・アンド・デベロッパーに戻され、その後のレジスト処理が行われることになる。

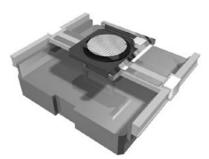


図2.7 高精度位置決めステージの例 (出典;キヤノンのカタログ)

② パターンニングされているウェーハのシーケンスウェーハ上に回路パターンが既に形成されているウェーハの場合は、前述のプリアライメント動作が終了すると、ウェーハは、搬入ロボットで、ウェーハ・ステージ上のウェーハ・チャックに移送され、あらかじめ決められたショットの位置に移動する。その後、フォーカス計測、駆動とウェーハ・レベリング駆動を行ない、ウェーハ上のアライメント・マークの位置をステージのレーザ干渉計(分解能;0.3nm)で計測する。そして、次の決められたショットへ移動して、ウェーハ上のアライメント・マークの位置を再びレーザ干渉計で計測するというアライメント計測が作を逐次繰り返して、そのアライメント計測が中夕を統計処理し、ウェーハ上の各ショットの位置を推定する(この一連の動作はAGA、EGAなどと呼ばれている;注参照)。

次に、統計処理した情報に基づいてウェーハは、そ の上に構成された回路パターンの配列がステージの移 動方向に平行になるようにウェーハ・ステージ上の微 動機構で、回転駆動 (θ 駆動) され、さらに、ウェー ハ全体の平均傾きがレベリング駆動され、さらにウェ ーハ全面の平均的なフォーカス位置にフォーカス駆動 される。同時にウェーハ・ステージによって露光の第 一ショットの位置に移動される。この状態では、フォ ーカスとウェーハ・レベリング駆動された量が、統計 的に処理された平均値となっている。そこで、再びフ ォーカスとウェーハ・レベリングの精密計測が行わ れ、平均値からずれている量の駆動が行われた後に露 光が開始される。 露光が終了するとウェーハ・ステ ージは、第二ショットの位置へ移動し、再びフォーカ スとウェーハ・レベリングの精密計測、駆動が行われ た後に、露光が行われる。以上の動作を繰り返し、ウ ェーハ全面の露光が完了したウェーハは、再びコータ ー・アンド・デベロッパーに戻され、以降のレジスト 処理が行われることになる。

このシーケンスでは、フォーカスとレベリング駆動が、ウェーハ全体として一回と各ショットの位置でショット毎に行われているが、これは、各ショットでの補正量をなるべく小さくして駆動時間を最小にするための配慮でもある。

<オリエンテーション・フラット(Orientation Flat) > シリコン・ウェーハは、特定の結晶方位に沿ってスライスされるので、その結晶方位をそろえて半導体素子をつくるために、オリフラと略して呼ばれることもある目印をつける(図4.8参照)。

< ノッチ (Notch) >

ウェーハが大口径化すると、この円形のウェーハ

の一部を削り取ったウェーハは、前述のスピン・コーターなどで高速回転させると、遠心力のアンバランスを生じ、危険であることから、ノッチと呼ばれる小さな溝(切り込み)をつけたウェーハが用いられるようになってきている(図4.8参照)。

<グローバル・アライメント方式の名称>

AGA; Advanced global alignment (++)EGA; Enhanced global alignment (-)

2-3-3 縮小投影露光装置 (スキャナー)

ステッパーとの違いは、スキャナーでは、ショット露光ではなく、レチクルのパターンを細いスリットでスキャンしながらウェーハ上に回路パターンを転写するので、レチクルとウェーハが、投影光学系の倍率に応じた速度で同期して移動することになる(図2.8参照)。

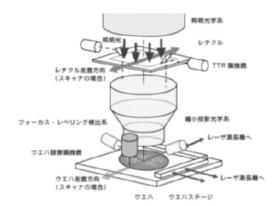


図2.8 スキャナーの概念図 (提供;キヤノンのカタログ)

また、アライメント・シーケンスとしては、ステッパーと同様に製造工程の初めのパターンニングされていないウェーハと、工程が進んでパターンニングされているウェーハで異なってくるが、詳細な説明は省略する。

アライメント動作そのものは、ステッパーの場合と同じで、プリアライメント動作が終了すると、ウェーハは、搬入ロボットで、ウェーハ・ステージ上のウェーハ・チャックに移送され、ウェーハ・ステージによって、あらかじめ決められたショットの位置に移動され、移動しながらではあるが、フォーカス計測と駆動、そしてウェーハ・レベリング駆動が行われた後、そのショット上のアライメント・マークの位置を計測する。そして、次のショットに移動し同様の計測と駆動を繰り返して行う。

通常、レチクルとウェーハが高速で移動しているため、フォーカスとウェーハ・レベリングの計測及び駆動を、リアルタイムで行うことは難しく、露光位置の少し手前であらかじめ計測し、ウェーハが露光位置に達すると同時にフォーカス駆動とショット内のレベリ

ング駆動が行われる、いわゆる先読みという手法がとられる。スキャン露光される像が、スリット状で、スキャン方向と直交する方向に長い形状であることから、ショット内レベリング駆動は、長手方向に対してのみ行うことも多い。

そして、次の決められたショットへ移動して、フォーカス計測と駆動、そしてウェーハ・レベリング駆動が行われた後、再びショット上のアライメント・マークの位置を移動しながら計測するというアライメント計測動作を逐次繰り返えす。そして、所定の計測ショットの計測値を統計的に処理し、ウェーハ上の各ショットの位置、フォーカス位置とレベリング量を推定する。

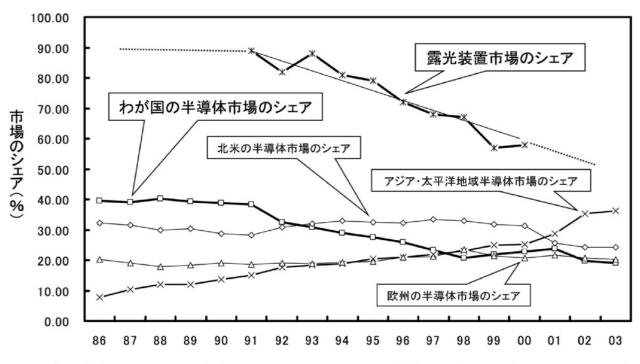
次に、統計処理した情報に基づいてウェーハは露光の第一ショットのスタート位置に移動され、フォーカスとウェーハ・レベリングの計測、駆動を行ないながらスキャン露光が開始される。そして、第一ショットが終了すると第二ショットへ移動するが、その間にレチクル・ステージはクイック・リターン動作でスタート位置に戻される。そして、第二ショットでは再び、

フォーカス及びショット・レベリングの計測と駆動を 行ないながら、スキャン露光というシーケンスが繰り 返して行なわれる。

以上のシーケンスを繰り返し、ウェーハ全面の露光 が完了したウェーハは、再びコーター・アンド・デベ ロッパーに戻され、以降のレジスト処理工程に進む。

ここで、毎ショットごとにレチクル・ステージをクイック・リターン動作でスタート位置に戻す理由は、設計上はかなり高剛性となるように配慮してはいるが、駆動方向をかえるとステージの姿勢精度が変化することに起因している。また、構造体もレチクルとウェーハの両ステージを、移動する方向をかえて駆動すると、弾性変形により微妙に精度が変化することにより取られていた処置であり、この種の細々としたノウハウが、数多く露光装置には適用されている。実際の、スキャナーの露光シーケンスは、上述のシーケンスよりも細かい部分が多々あるが、この論文の本筋ではないので簡略化して記述した。

(参考図) 世界半導体市場のシェアと露光装置市場のシェア



(この参考図は、図1.2と後述の図6.3を重ねたもので、系統化に関する調査結果のまとめである)

3 半導体の歴史と露光技術進展の経緯

1882年、トーマスエジソン(Thomas Edison)は、 電球の中に電極を入れ、それに正の高い電圧をかけ るとガラスの内面に汚れが付かないことを発見した が、これに電波を検出する作用があることには気付 かなかった。構造的には、これが2極真空管そのもの であった。

1904年、フレミング (John Ambrose Fleming) は、このエジソンの2極真空管を検波器として初めて利用した。そして、翌1905年には、リー ホレスト (Lee de Forest) が、三極真空管の特許を取得し、1919年には、ショットキー (Walter Schottky) が四極真空管を発明している。

1930年代には、米国ではレーダーが実用化され、レーダーでより小さなものまで検出しようとすると、高い周波数を扱わなければならなかった。しかし、高周波領域では、真空管には問題があることから、1945年、レーダー用の真空管式増幅器にかわる半導体による増幅器の開発が、AT&T (米国)のベル研究所(注参照)のウイリアム ショックレイ (William Bradford Shockley) らによって開始されている。

半導体の歴史をさかのぼると、1882年にトーマスエジソン(Thomas Edison)が発明した2極真空管よりも早く、1874年にカールブラウン(Karl Ferdinand Braun)が発見した鉱石検波器に端を発する。この初期の無線機に使用されていた鉱石検波器が最も古い半導体素子と考えられ、その特許は1899年に出願されている。

1926年、グロンダール(L.O. Grondahl)とガイガー(P.H.Geiger)は、酸化銅と銅の接合型ダイオードを発明した。この接合型ダイオードの理論的解明は、1938年にショットキーによってなされている。「ショットキー・ダイオード」という言葉として聞いたことがある方も多いであろう。

1939年には、ベル研究所のラッセル オール (Russell Ohl) が、半導体にごく少量の不純物を入れると2つの異なった性質を示し、その接合された境界 (P-N接合)で整流作用があることを発見している。

1945年、ショックレイは、電界効果トランジスタ (FET) による増幅器の開発を、ショックレイの部下でジョン バーデン (John Bardeen) とウォルター ブラッテン (Walter Brattain) は半導体表面の電子がどのような振る舞いをするのかを研究していた。

1947年12月23日、ベル研究所のバーデンとブラッテ

ンが、点接触型トランジスタで音声信号を増幅する実験を行い、半導体増幅器の実証に成功したが、その構造上から生じる点接触の不安定性の問題が残った。翌1948年、ショックレイらは、その不安定さを改良し、接合型トランジスタの原型ともなるサンドイッチ型トランジスタを発明した。そして、ブラッテン、バーデン、ショックレイら3名のグループは、そのトランジスタ(注参照)の発明を同年6月30日にベル研究で報告している。この功績により3名は、1956年にノーベル物理学賞受賞した。

同じ1948年、わが国では、現在の社団法人日本電子機械工業会(EIAJ)の前身である無線通信機械工業会が設立され、翌1949年には、文部省の研究費を得て「トランジスタ研究連絡会」という公的な研究会も発足している。また、1950年には、日本電気(現NEC)が、トランジスタの研究開発に着手しており、新しい電子技術に対して、官民共に素早い対応がなされていることがわかる。



写真3.1 初期のトランジスタ (出典;IBM社のカタログ)

<AT&T (American Telephone and Telegraphの略)> 米国にある世界最大の電話会社で、1885年、世界 で最初の長距離電話会社として発足、傘下に多くの ノーベル賞科学者を創出したベル研究所を抱えてい たが、1970年代に始まる反独占訴訟の結果解体され ている。

<ベル研究所(Bell Telephone Laboratory) >

この研究所は、1925年に当時のAT&Tの社長であったウォルター・グリフォードが独立事業として設立したものである。ベル電話研究所とも呼ばれることもあり、電話交換機から電話線のカバー、トランジスタまであらゆるものの開発を行っている。もともとはウェスタン・エレクトリック社の研究部門を引き継いだもので、AT&Tとウェスタン・エレクトリック社がそれぞれ50%ずつ出資して設立されたという経緯がある。

<トランジスタ(Transistor) > 英語のtransとresistorをつなげた造語。

3.1 半導体産業の夜明けと 集積回路時代の到来「1950年代」

ショックレイは、幾多の改良を重ね、1951年7月5日 に実用的な接合型トランジスタを完成させた。そして、 わが国でも、同年、電気通信研究所で高純度のゲルマ ニウム単結晶を用いたトランジスタの制作に成功して いる。

1954年には、テキサス インスツルメンツ社(TI; Texas Instruments Incorporated;米国)のゴードン テール(Gordon Teal)が、シリコン・トランジスタ を開発しており、1958年には、同社のジャック キル ビー(Jack Kilby)により集積回路(IC;Integrated Circuit)が発明され、TI社で試作がなされている。

1958年、わが国では、電子工業の振興を目的に日本 電子工業振興協会(JEIDA)が設立された。そして、 翌年には、わが国初のトランジスタ式テレビを東芝が 完成させている。一方、同1959年7月、ジーンオー ルニ(Jean Hoerni)は、現在のIC製造方法の基本と もなっている光学リソグラフィー (Optical lithography) 技術を利用し、半導体の表面に不純物を拡散さ せて平面構造のトランジスタを作る方法を考案し、プ レーナー・トランジスタを試作した。そして、フェア チャイルド セミコンダクタ社 (Fairchild Semiconductor) は、トランジスタ製造に関する新技 術Planar Processに関する特許を申請した。このこと から、1959年は、半導体露光技術にとって記念すべき 年と言える。また、この年、ジャック キルビーがIC の基本特許(俗にキルビー特許と呼ばれている)を申 請している。後に、この特許は、サブマリーン特許 (注参照) とも呼ばれ、半導体デバイスメーカーのみ ならず製造装置メーカー、半導体のユーザーにまで影 響を及ぼした。この年、IBMは全トランジスタ式電子 計算機IBM7090を発表した。IBM7090ではトランジス タ式電子計算機で主記憶装置に、32キロワード(k words)の磁気コア記憶装置を採用し、ソフトウエア ではフォートラン (FORTRAN;注参照) が使用され ている。また、同年、クレイ社(Seymour Cray)も、 最初の全トランジスタ化したスーパー・コンピュータ を開発しており、採算性を度外視した高性能計算機の 開発競争が始まった。

そして、1960年、日本電気はICの実用化研究に着手 し、信越化学は、高純度シリコンの製造を開始してお り、ここに、電子立国(半導体立国)日本のベースは 整ったことになる。 <サブマリーン特許>

米国では、継続出願制度(2000年5月29日以降は継続審査制度)という独特の制度があり、出願日を維持しながら、出願内容を次々に変更することが可能となっている。一部継続出願では、最初に出願らた内容に新たに付け加えることができることから、世の中の技術動向をみて内容を変更していくことをできる。公開制度を取り入れていない先発明制度を超退している状態で、この継続出願制度を組み合りせると、とんでもなく古い発明が衣替えしてブマリーン特許」と呼ばれるものである。米国では最近でより、ながある。それが、いわゆる「サブマリーン特許」と呼ばれるものに限って公開され、依然として国内出願では登録まで公開されず、サブマリーン特許の脅威は存続している。

<FORTRAN (FORmula TRANslationの略) > 1954年にIBMのジョン・バッカスによって考案された数学的な処理に目的を絞ったプログラミング言語。

3.2 露光技術の夜明け「1960年代」

1961年には、フェアチャイルド社とテキサス インスツルメンツ社は、商業ベースの集積回路 (IC) を発表している。同年、わが国では、国産初のルーリング・エンジンをニコンが開発しており (写真3.2及び3.3参照;産業技術史資料として登録の候補)、これが、後のステッパー開発に役立つことになる。



写真3.2 ルーリング・エンジン (出典;Japan Nanonet Bulletin Vol.28)

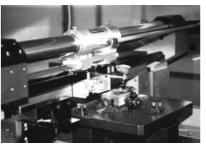


写真3.3 ルーリング・エンジン主要部 (提供;ニコン)

翌1962年には、フォト・マスク製作用レンズ「ウルトラ・マイクロ・ニッコール105mm F2.8」も開発されている。

また、鉱工業技術研究組合法(1961年施行)による「電子計算機技術研究組合」が同1962年9月に設立され、大型電子計算機の開発に着手している。同年、米国では、RCA研究所(注参照)のスチーブン ホフステン (Steven Hofstein)、フレデリック ハイマン (Fredric Heiman)らが、MOS型の電界効果トランジスタ (Metal-Oxide Semiconductor Field Effect Transistors;MOS FET;注参照)を発明した。

1963年には、現在のコンタピュータには、なくてはならない計算機用のマウス(mouse)をドグ エンゲルバート(Doug Englebart)が発明。また、フェアチャイルド社 は、ICの商業生産を開始した。記録によると、このICは、4個のトランジスタと4個の抵抗で作られた2つの論理回路を持つ集積回路であったようである。

1964年には、IBMは、計算機システム360を発表している。このコンピュータは、TTL(注参照)と呼ばれる技術で製造される集積回路(64Bitのバイポラー型IC;注参照)が採用され、大型から小型までの計算機群をそろえ、上位機種との互換性をもち、汎用大型機(メイン・フレーム;Main Frame)の市場を独占するほどの人気を獲得している。

1965年、わが国では、日本電気が2Bit MOSメモリーの試作に成功した。翌1966年には、わが国の産業技術水準を国際レベルにまで引上げることを主目的として、大型工業技術研究開発制度(通称;大プロ)が創立されている。

1968年には、144Bit NチャンネルMOSメモリーを 日本電気が開発している。そして、1969年には、プロ ジェクション・レチクル・プリンタがニコンにより開 発され、半導体の製造工程に採用されている。

1970年、フェアチャイルド社は最初の256Bitの記憶 装置(スタティック・ランダム・アクセス・メモリ ー(Static Random Access Memory; SRAM)を発 表した。

また、インテル社(Intel;米国)は、最初のマイクロプロセッサ(1個の半導体チップで基本的な演算処理を行うもの=Microprocessor;Intel 4004)と世界初の1kbit DRAMを発表、Intel 4004は、2300個のトランジスタを集積、日本のビジコム社の電卓(電子式卓上計算機)に採用されたほかゲーム機などにも転用され、計算機の低価格化をもたらした。そして、この頃、商用記憶装置DRAMの他にROM(注参照)など

も生産されるようになった。この年、IC製作用の投影 露光装置(PPC-1;産業技術史資料として登録の候補) がキヤノンで開発されている。



写真3.4 投影露光装置 PPC-1 (提供;キヤノン)

以上述べたように、1950年代~1960年代は、半導体 産業の創世期でもあり、多くの半導体デバイスメーカ ーが誕生、あるいは、既存の電機メーカーがこれに参 入してきた時代でもあった。

<MOS (Metal Oxide Semiconductor) transistor>

半導体の中で動いている自由電子か、自由電子が 飛び出した後の正孔のいずれかによって電荷が運搬 されるトランジスタをMOSトランジスタと呼んでい る。電荷の運搬が自由電子によって行われるものを nMOS (negative MOS)、正孔によって行われるもの をpMOS (positive MOS)、両者を組み合わせて動作 速度を向上させたものをCMOS (Complementary MOS) という。MOSを利用した集積回路は構造が単 純なため、集積度を高くすることができ、消費電力 も少ないという特徴を有する。

<TTL (Transistor-Transistor Logic) >

バイポーラトランジスタのみで構成された論理集積回路(Logic IC)のことで、TTL登場前に使われていたDTL(Diode-Transistor Logic)と区別するためにこのような名称になった。TTLはCMOSと並んでデジタルICの構成回路としてはもっともポピュラーなものの一つである。

<Bit (binary digit) >

コンピュータが扱う情報の最小単位のことで、0か1のように2つの選択肢から1つを特定するのに必要な情報量を1ビットとする。一般に、nビットの情報量では2のn乗個までの選択肢からなる情報を表現することができるので、アルファベット26文字を表現するのに必要な情報量は5ビットとなる。

<ROM (Read Only Memory) >

読み出し専用記憶装置。一度書き込まれた情報を 読み出すための記憶装置で、書き換える必要のない 情報や、書き換えられては困る情報を記憶させる。

<バイポラー型IC>

プラスの電気とマイナスの電気を同時に利用することにより信号の処理を行うタイプのICである。 超小型化、量産化、高信頼性、低コスト化が可能でデジタル回路に適するモノシリックICの中の1つで、他のタイプのユニポーラICに比べて集積度と消費電力の点で不利であるが、高速スイッチング性に優れている利点がある。

<RCA>

1919年 ゼネラル・エレクトリック(GE)から Radio Corporation of Americaとして分離、独立した。 その後1969年に社名をRCAと改称した。1986年にゼ ネラル・エレクトリックに買収されたアメリカの総 合電気機器メーカー。

3.3 大規模集積回路時代の到来と ステッパー技術の夜明け「1970年代」

1970年代の初めまでは、ウェーハにマスクを密着させて、一般の写真と同様に一定時間マスク上から光を照射し、レジストを感光させるコンタクト・アライナーが半導体素子の製造に使用されていた。初期のコンタクト・アライナーは、高圧水銀灯の露光光を照射するための照明光学系、露光時間を制御するためのシャッター機構、マスクを保持するためのマスク・ホルダー(プラテンともよばれる)、ウェーハを保持するためのウェーハ・チャック、マスクとウェーハ上の回路パターンを合わせるためのアライメント顕微鏡及び相対位置を合わせるための位置合わせ機構などから構成されていた。この種の装置は当初、人間が毎回アライメント顕微鏡を覗いて手動で位置合わせをしていたことから「眼合わせ装置」とも呼ばれていた。

1971年には、世界初の大幅にIC化されたカラーテレビを東芝が発売。IC製作用の投影露光装置PPC-210が、キヤノンで開発された。

1972年、インテル社は、最初の8ビット マイクロプロセッサIntel 8008を発表 (3500個のトランジスタを集積) している (巻末の附図参照)。

1973年プロキシミティ・アライナー (PLA-300) が キャノンより発売される。微細化が進み、加えて半導体メモリー素子 (DRAM) の需要が急速に伸びて、4kbit DRAMの時代にはいると、密着のために生ずるレチクルの損傷、転写された回路パターンのダメージなど、コンタクト アライナーの欠点が次第にクローズアップされるようになった。この問題を解決するために開発された装置が、レジストを塗布したウェーハに、レチクルを近接させて露光できるプロキシミティ・アライナーである。

この装置では、レチクルのパターン面とレジスト表面を接触させることなくアライメントと露光ができるため、レチクルの寿命が長くなり、レジストへのダメージもほとんどなくなり、半導体素子製造の「歩留り」が、飛躍的に向上した。また、この時代には、量産指向が一段と強まり、ウェーハの自動供給と搬出のための装置、いわゆるオートフィーダー、レチクル上の回路パターンと前の工程で形成されたウェーハ上の回路パターンを自動的に位置合わせするためのオートアライメント機能など、自動化の必然性がさけばれるようになり、装置メーカーは、これらの開発に凌ぎを削った時代でもあった。

また、同年、半導体素子の微細化に対応して、キヤノンは投影露光装置 (FPA-120) と両面同時露光可能な投影露光装置 (BPA-200) を発表している。

1974年、インテル社は、8ビット・マイクロプロセッサ (MPU;注参照) 8080を発表 (6000個のトランジスタを集積)。クロック速度 (Clock speeds;注参照) は2MHzで、最初のパーソナル・コンピュータ (Personal Computer; PC) アルテア (Altair) に採用された。

1974年には、商用 4 kbit DRAMが、インテル社から発表された。

1975年、わが国では、通産省の国家予算(次世代電子計算機用大規模集積回路開発促進費補助金)で官民共同の「超LSI技術研究組合」の共同研究所のテーマを検討する小委員会が設置された。縮小投影光学系を搭載した露光装置(FPA-141;写真3.5参照)がキヤノンより発表された。この時代には、ステッパーという言葉がなかったので、この装置はファインパターン・プロジェクション・マスク・アライナー(産業技術史資料登録候補)と呼ばれていた。ステッパーの草分け的存在である。



写真3.5 投影露光装置 FPA-141 (提供;キヤノン)

同年、米国では、ハーバード大の学生ビル ゲイツ (Bill Gates) とポール アレン (Paul G. Allen) がベーシック (BASIC;注参照) 言語をパーソナル コンピュータ (Altair 8800 personal computer; PC) 上で走らせることに成功したことで、BASICは初期のパーソナル コンピュータに標準装備され、広く使用されるようになった。

1976年には、「超LSI技術研究組合」共同研究所の仮事務所が発足し、ニコンは縮小投影露光装置の開発を、キヤノンは、反射型投影露光装置の開発をスタートさせた。同年、クレイ社(Cray;米国)は、スーパー・コンピュータ「クレイ-1(Cray1)」を発表。これは、フレオンで冷却した20万個のICを使うスーパー・コンピュータで、毎秒1億回の浮動小数点演算を実現した。大型コンピュータのメインフレームを製造している5社が参加している「超LSI技術研究組合」の活動を加速させる良い刺激となった。

1977年には、最初のアップル (Apple) 社のPCが発売され、PCの低価格価が進展した。同年、16kbit DRAMをNECが発表している。

1978年、インテル社は、16ビット・マイクロプロセッサ (Intel 8086) を発表。これは、トランジスタ29,000 個を集積、クロック速度は、5MHz、8MHzと10MHzの3種類があった。また、同年、64kbit DRAMを世界で初めて富士通が量産化に成功している。

1979年、米国では、インテル社が、16ビット・マイクロプロセッサ(Intel 8088)を矢継ぎ早に発表した。これは、16ビットのCPU(注参照)で、トランジスタ数29,000個を集積、クロック速度は5MHzと8MHzがありIBMのPCに採用された。同年、モトローラ社も、16ビット・マイクロプロセッサ(Motorola 6800)を発表した。モトローラ社のCPUは、アップル社のPCであるマッキントッシュ(Macintosh)に採用された。

70年代後半になると、半導体素子、特にDRAMの 微細化が一段と進み、プロキシミティ・アライナーで は所要の回路パターンを解像できなくなったことか ら、1979年に投影光学系を反射ミラーで構成した等倍 の反射型投影露光装置(ミラー・プロジェクション・ アライナー)がキヤノンから発売された。

また、マスター・マスク(レチクルとも呼ばれる)の像を縮小して生産用マスクを製作するためのフォト・リピーターの技術を応用し、縮小投影光学系にレンズを使用した縮小倍率1/10の逐次露光装置(ステップ・アンド・リピート式縮小投影露光装置)、いわゆるステッパーが、1978年に米国のGCA社から発売された。そして、同時期にわが国では、ニコンが、国産

初のステッパー(SR-1)を開発し、超LSI技術研究組合に納入している。

そして、1980年には、ニコンはステッパーNSR-1010G(写真1.2参照)の出荷を開始し、この年、日本電気と富士通が64kbit DRAM生産を発表した。日米半導体戦争勃発の兆候が見え始めたのも、ちょうどこの頃である。

< CPU (Central Processing Unit) >

<MPU (Micro Processing Unit) >

コンピュータ内で基本的な演算処理を行う、コンピュータの心臓部に当たる半導体チップを「MPU」と呼んでいる。歴史的には、コンピュータの演算処理は複数の半導体チップが連携して行っており、この半導体チップ群を「中央処理装置(CPU)」と呼んでいた。マイクロプロセッサは中央処理装置を1個の半導体チップに集積した部品として生まれたが、現在はマイクロプロセッサが全ての演算を担当するのが当然になっているため、CPUという言葉もMPUと同じ意味として使われている。

<クロック速度(Clock speeds)>

マイクロプロセッサには、1回の命令で同時に処理できるデータの量によって16ビット、32ビット、64ビットなどの種類があり、一般に値が大きいものほど性能が高い。また、同じビット数でも、1秒間に実行できる命令の回数(「Hz」で表わされる)、あるいは、バスと呼ばれる周辺装置とのデータ伝送路が一度に運べるデータの量(「ビット」で表わされる)、バスが1秒間に行える転送の回数(「Hz」で表わされる)などに違いがあるが、これらの値をクロック速度とよび、これが大きいものほど性能が高くなる傾向がある。

<ベーシック (BASIC) 言語>

BASICは Beginners All purpose Symbolic Instruction Codeの略で、BASICの起源は、大型計算機のタイムシェアリング・システムをインタラクティブに制御するために、1960年代中頃にDartmouth大学で開発された。BASICはインタプリタ型(注参照)の言語であるが、実行ファイルを作成できるコンパイラも開発されている。現在では、このBASIC言語を土台として、WindowsなどのGUI(注参照)の上で、インタラクティブな操作で簡単にプログラムを作成できるMicrosoftのVisual Basicが広く普及している。

<インタプリタ(Interpreter)>

プログラミング言語で記述したソースコード(ソフトウエアの設計図)を、オブジェクトコード(コンピュータが実行できる形式)と呼ばれる記号列に変換しながら、そのプログラムを実行するソフトウエアをインタプリタ型言語という。インタプリタ型の言語はプログラムの実行時に変換を行なうため、

その分だけコンパイラ型言語よりも遅くなる。 <GUI(Graphical User Interface)>

ユーザーに対する情報の表示にグラフィックスなどを用いて、コンピュータの一般的な操作をマウスなどのポインティング・デバイスによって視覚的に行うことができる機能をいう。

3.4 超大規模集積回路の発展と共に歩んだ ステッパー技術「1980年代」

1980年代に入ると、半導体の需要の伸びはさらに、加速され、量産用ステッパーとして、縮小倍率が1/5になり、一回に露光できる画面サイズも、従来の□10mmから、1981年には□15mm、1989年には□17.5mm、1990年には□20mm、そして1996年には□22mmへと拡大していった。写真 3.6 は、1981年にニコンが発売した画面サイズが□15mmの量産用ステッパー(NSR-1505G;産業技術史資料として登録の候補)である。



写真3.6 ステッパー NSR-1505G (提供;ニコン)

1982年には、はやくもニコンは、米国へステッパー を初出荷。その後、1983年にキヤノンが、ステッパー (FPA-1500FA) を発表している。

1984年、256Kbit DRAMの量産化に日立が成功し、同年、6インチ・ウェーハ対応の等倍反射型投影露光装置(MPA-600FA)をキヤノンが発売した。この年、ニコンは、NSR-1010i3というサブミクロンの解像力を有するステッパーを世界に先駆けて開発している。そして、翌1985年には、1Mbit DRAMを東芝が発表した。しかし、この年は、わが国の半導体業界にとって非常に不幸な年となった。すなわち、SIA(注参照)が米通商代表部にわが国の半導体ダンピング問題を提訴したのである。一方、この年、インテルがDRAMから撤退しMPU事業に特化している。また、大手半導体製造装置メーカーが発起人となり日本半導体製造装置協会(SEAJ)を設立したのは、この年である。

1986年には日米半導体協定が締結されている。この 年4Mbit DRAMをNECと東芝,が発表している。世界 初の8インチ・ウェーハ対応のステッパー (FPA-1558) がキヤノンで開発され、あるデバイスメーカーに納入された。また、吉田ナノ機構プロジェクト (科学技術振興機構) が発足したのもこの年であった。

1987年には、米国で官民共同のプロジェクトである セマテック(SEMATECH;6章で詳しく説明する) がスタートした。

1988年、東芝が16Mbit DRAMを開発。新エネルギー産業技術総合開発機構(NEDO)が誕生したのもこの年である。そして、半導体産業の進展は国家の威信をかけた競争となっていったのである。

80年代後半には、半導体素子の微細化に拍車がかかり、高解像力を求めて、投影光学系の高NA(開口数) 化の競争が一段と激化した。

この激動の時代、ステッパーの技術も、急速な半導 体素子の微細化競争の中で、多くの超精密とも呼べる 技術を開発し採用している。たとえば、オートアライ メント技術も、従来のレーザ・ビームをスキャンして その回折光から、アライメント・マークの位置を検出 する方式から、画像認識技術とパターン・マッチング 技術を応用した高精度の計測技術が開発され、投影像 の像面とウェーハの表面を合わせるためのオート・フ ォーカスの技術も、当初エアー・マイクロメーターの 技術を応用していたが、光学的にウェーハの表面位置 を検出し位置合わせする方法が開発されるなど、半導 体素子の高速化とあいまって、装置の高精度化と高速 化が同時に達成された。素子を製造したその装置が、 その素子の恩恵にあずかり、高速化と高精度化を達成 し、さらに微細な高性能の素子の製造に寄与すると言 った循環型の技術向上は、画像処理のための回路素子 だけでなく露光装置の機構制御システムの構築にも寄 与している。

<SIA (Semiconductor Industry Associationの略) > 半導体産業が組織する団体の名称で、半導体技術のトレンドを予測しているロードマップが有名である。

3.5 ステッパー技術は、サブミクロンから ナノメートルの時代へ「1990年代」

1990年代にはいると、半導体素子の微細化は、サブミクロンの領域に達し、投影光学系の高NA化(NAについては、4-1-2節で詳しく説明する)にともなう焦点深度の問題から、露光に使用する光源は、従来の超高圧水銀灯の特定波長である436nm(g線)から、365nm(i線)へと、短波長化の方向に向かった。また、この頃から焦点深度を有効に使うためのウェーハ・テ

ィルト機能も搭載されるようになった。ウェーハ・ティルト機能は、ウェーハ・レベリングとも呼ばれている。さらに、装置が置かれている空間の雰囲気の気圧、温度や湿度で空気の屈折率が変化することで、投影レンズの倍率が変化するためにそれを自動補正するための投影倍率補正機構なども開発された。

また、社会情勢としては、1991年に日米半導体協定が改定されている。微細化の進展では、1992年NECが64Mbit DRAMを発表し、翌年には256Mbit DRAMを矢継ぎ早に発表している。そして、翌1994年には、日立が1Gbit DRAMの試作に成功するなど、半導体産業は、世界を席捲しているかのように見えた。この年、通産省(通商産業省の略;現在の経済産業省)は日米半導体摩擦の終息を宣言しており、半導体産業研究所(注参照)が発足している。翌1995年には、株式会社半導体理工学研究センター(注参照)「STARC」が設立され、1996年には、株式会社 半導体先端テクノロジーズ(注参照)「Selete」の設立もあった。

しかし、わが国の半導体の生産額は、1980年以降、 右肩上がりの向上を続けていたが、1995年を境に右肩 下がりとなってしまった。そして、1998年には、半導 体製造の大手五社が、DRAMの不振で赤字に転落し ている(図3.1参照)。

この右肩上がりの時代には、半導体産業の設備投資 も旺盛で、露光装置産業は、60%から90%のシェアを 有していた。

90年代後半には、ハーフ・ミクロンの時代に突入し、解像力の向上のための各種プロセス技術や微細化にともなって、ますます浅くなる焦点深度をカバーするための超解像と呼ばれる各種の手法、すなわち、変形照明法、位相シフト・マスクなども開発され実用化されている(詳しくは第5章参照)。そして、波長が248nm(KrF)のエキシマ・レーザーをパルス露光の光源として使用する露光倍率が1/4のエキシマ・レーザー・

ステッパーが開発されたのも、この頃である。

また、生産性 (スループットと言う) の向上を主目 的として、レチクルとウェーハを投影光学系の投影倍 率に応じて同期させてスキャンしながらスリット露光 を行う、いわゆるスキャナーの開発が始められた。

<半導体産業研究所(SIRIJ)>

通称「半産研」と略して呼ばれている総合家電メーカーや半導体デバイスメーカー11社(2006年1月現在)が参画する団体。日本の半導体産業を活性化し産業の国際競争力を向上させ、併せて半導体の持つ多くの可能性へ挑戦することを目指し、各種ビジョンと実行プランを策定する機関(シンクタンク)として1994年4月に設立された。

<半導体理工学研究センター(STARC)>

日本の半導体関連企業が参画し、シリコン半導体技術の基礎分野について、日本の大学への研究委託、あるいは大学との共同研究を遂行し、わが国の技術基盤の強化と先端競争力の維持を実現することなどを目的に1995年12月に設立された。

<半導体先端テクノロジーズ (Selete) >

1996年2月に半導体企業10社の均等出資で、300mmウェーハ装置を用いる生産技術の開発(装置・材料評価プログラム、TCADプログラム、先端リソグラフィー・プログラムなどを中心に業界共通のコア技術の開発)コンソーシアムとして設立された。

3.6 ステッパー技術は、 スキャナー技術へ「2000年代」

現在では、このスキャナーが露光装置の主流となっており、露光光の波長も193nm(ArF)に進んでいる。ステッパー、スキャナーのいずれにしても、ウェーハの露光を行うためのシステムに変わりはないが、転写される像の性質は両者で異なってくる。例えば、投影レンズのディストーションと呼ばれる像形状の誤差(4.5節参照)は、ステッパーでは、レンズ固有の誤差として生ずるが、スキャナーでは、投影レンズは、ス

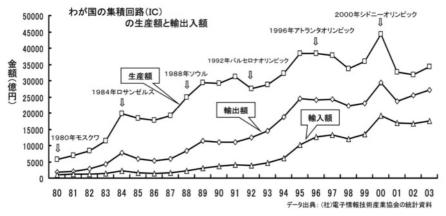


図3.1 わが国の半導体の生産額と輸出入額の推移

テージの移行方向と直行する方向に長いスリット状の像を形成させることから、長手方向のレンズ・ディストーションのみが、転写される像に関係することになり、従来のレンズ設計に比べて難易度的には高精度化しやすくなっている。とはいえ、半導体素子の微細化は留まることなく進んでいるので、その先端で高精度のレンズ開発競争にしのぎを削っているわれわれ技術者は、レンズ設計が容易になっているとはまったく感じられない。加えて、従来、レンズが持っていた誤差の一部を、レチクル・ステージとウェーハ・ステージ機構とその制御システムが肩代わりすることになるので、機構開発や制御システムが肩代わりすることになるので、機構開発や制御システム開発の難易度は、格段に高くなっている。

また、近年、光学的解像力の向上策として、液侵露 光技術(この技術については、5.4節で詳しく説明する) も導入が始まっている。さらに短波長の F_2 レーザ (157nm) 光源を搭載した露光装置やEUV (Extreme Ultra-Violet) 露光装置(13nm)の研究開発も行われ ている。

また、一方では従来の光とは別に、電子ビーム (EB) でウェーハ上のレジストに直接描画するEB直接描画装置や電子ビームでワン・ショット露光する EB縮小露光装置などの開発も進んでいる状況である。

<F2露光装置>

露光光源をArFよりさらに短波長のF2エキシマ・レーザー(波長:157nm)にしたステッパーあるいはスキャナーである。F2は、フッ素の化学記号。露光装置の構成や半導体デバイスメーカーでの製造プロセスなどは、現行の光露光技術の延長上にあり、これまでに蓄積したノウハウの活用が可能であるという利点がある。この波長になると、吸収の少ない硝材(レンズ用の光学ガラス材料)が限られてくると、レンズ設計も一段と難しくなり、加えて、レンズの加工技術、光学薄膜のコーティング技術など、解決すべき課題も多々あるが、現在は、ミラーを組み合わせた縮小光学系が検討されている。

<EUV露光装置>

極めて波長の短い紫外線(波長:13nm)を用いた 縮小投影露光で、EUVL(Extreme Ultra Violet Lithography)とも呼ばれている。原子レベルの薄膜 を積層して製造する反射光学系、そしてレーザ光の エネルギーでプラズマを生成して発生する極端紫外 線(EUV)光源の開発などが課題である。

このEUV露光の研究開発は、次世代電子技術の研究組合である「技術研究組合超先端電子技術開発機構 (ASET; Association of Super-advanced Electronics Technologies)」で進められている。

<EB直接描画装置>

1967年に日本電子株式会社で電子ビーム(EB; Electorn Beam) 露光装置が開発されている。これは、 光レチクルに電子回路のパターンを描画するための 設備として開発されたもので、電子銃から発生した 電子ビームを電子レンズ(磁界の作用を利用)を用 いて細く絞り、方向を制御しながらガラス基板上に 塗布された感光剤に照射し、ガラス基板を移動させ て回路パターンを描画するもので、電子ビームの径 は $0.1 \mu m$ くらいで、制御幅は $250 \mu m$ 程度である。 したがって、レチクル全域を描画するためのスキャ ン・シーケンスから、ラスター・スキャンとベクタ ー・スキャン方式に分類される。しかし、この方式 では、微細な回路パターンをウェーハ前面に描画す るのには、膨大な時間がかかり、実用的ではない。 したがって、ウェーハの直接描画用の装置としては、 マルチ・カラムと呼ばれる多数本の電子ビームで、 描画する方式と、回路図の繰返しパターン部分を抽 出して作成した20~100種類程度のパターンを持つレ チクルに照射して得られる電子ビーム・パターンを、 電子レンズを用いて10分の1 ~数10分の1倍のサイズ に縮小してウェーハ上にステップ露光する方式が研 究されている。後者の方式では、1回の照射毎に、ウ ェーハ上に最大で数マイクロメートル角を描画でき、 電子ビームの数mm程度の偏向とウェーハ・ステージ の移動によって、次々に回路パターンを継ぎながら、 ウェーハ全面を描画することが可能である。

3.7 ゴードン ムアーの提唱した「ムアーの法則」と 露光装置技術の関係について

1965年、Fairchild Semiconductor社のゴードン ムアー (Dr. Gordon E. Moore) は、Electronics誌 (Vol.38, No.8, April)の「Cramming more components onto integrated circuits」と題する論文の中で、「一定面積に集積されるトランジスタの数は12か月で倍増し、それに伴いトランジスタの動作速度が向上する」と述べている。

以下が、その原文の抜粋である。

The complexity for minimum component costs has increased at a rate of roughly a factor of two per year (see graph on next page). Certainly over the short term this rate can be expected to continue, if not to increase. Over the longer term, the rate of increase is a bit more uncertain, although there is no reason to believe it will not remain nearly constant for at least 10 years. That means by 1975, the number of components per integrated circuit for minimum cost will be 65,000.

その後、Intelの共同設立者の一人であった彼は、

1968年にロバート ノイス (Robert Noyce) とともに Intelを立ちあげる。そして、1975年にIEEEでの講演 「Progress In Digital Integrated Electronics」の中で、前述の法則をチップの複雑化を考慮して、トランジス タ数の倍増ペースを24か月に修正している。

以下が、その講演内容の抜粋である。

Complexity of integrated circuits has approximately doubled every year since their introduction. Cost per function has decreased several thousand-fold, while system performance and reliability have been improved dramatically.

(中略)

Neglecting the first planar transistor, where very conservative line width and spacing was employed, there is again a reasonable fit to an exponential growth. From the exponential approximation represented by the straight line in Figure 3, the increase in density from this source over the 1959-1975 period is a factor of approximately 32.

(中略)

With this factor disappearing as an important contributor, the rate of increase of complexity can be expected to change slope in the next few years as shown in Figure 5. The new slope might approximate a doubling every two years, rather than every year, by the end of the decade.

しかし、わが国で、ステッパーの開発がスタートした当時、装置開発者の間では、「ムアーの法則」とは、半導体産業において、1.5年から2年で、集積回路の機能(トランジスタ数など)、いわゆる集積度が倍になること、言い換えると、「1.5年で倍の集積度は、3年で4倍になる」という部分だけが、一人歩きしていたように思える。

一方1974年、IBMのアール デナード(R. H. Dennard)により「スケーリング則」が、提案されているが、これは、MOSトランジスタを3次元的に縮小し、同時に電源電圧や不純物濃度を系統的に変化させれば、性能を損なうことなくMOSデバイスの高集積化と高速化ができるというものである。

もう一つ、半導体の微細化では、「デザイン・ルール」と呼ばれる尺度がある。これは、各半導体デバイスメーカーが実際に製造した素子の最小寸法の実績であり、その実績を踏まえた予測が、ロードマップと呼ばれて、半導体素子の開発から製造装置の開発に至るまでの指針となっている。ロードマップで有名なものには、アメリカでは、SIA、ITRS(注参照)、日本で

は、EIAJ(注参照)やSEAJ(注参照)のロードマッ プ委員会が作成したものなどがある。いずれにしても、 この尺度は、素子の最小寸法が3年でルート2分の1 (約0.7) 倍のペースで、微細化が進展するかのように 予測されている。これは、3年で素子の面積が約1/2に なることと同じである。したがって、ゴードンムア ーの提唱する「ムアーの法則」とは異なり、同じチッ プ面積で考えると、3年で2倍の集積度になることに相 当する。このため、DRAMの生産では、第一世代は、 3年で4倍の集積をするのに約2倍のチップ・サイズを 要していた。そして、第二世代、第三世代と「スケー リング則」を適用して素子をシュリンク(注参照)し てチップ・サイズを小さくしていったのである。その 典型的な例が、1995年に三菱が発表した64Mbit DRAMである (附図参照)。デザイン・ルールでは、 64Mbit DRAMの最小寸法は0.35 μ mで、チップ・サ イズは、10mm×20mmのはずである。ところが、こ の発表では、デザイン·ルールが、0.3 μ m、チッ プ・サイズは、当時最小の8mm×17mmであった。 これは、16Mbit DRAMのチップ・サイズとほぼ同じ であり、一時代前のチップ・サイズの大きさにシュリ ンクできたということは、この技術で、一時代先の 256Mbit DRAMを作れば、チップ・サイズを10m m×20mm程度にできることを意味している。このよ うに、「スケーリング則」を利用して、素子をシュリ ンクすることで、チップ収率も向上させることができ、 次世代のチップの可能性も検討できるわけである。

<ITRS (International Technology Roadmap for Semiconductors) >

〈EIAJ (Electronic Industries Association of Japan; 日本電子機械工業会)>

<SEAJ (Semiconductor Equipment Association of Japan;日本半導体製造装置協会)>

<シュリンク(shrink)>

シュリンクとは、「小さくなる」の意味。シュリンクが進み、同等の機能のチップがより小さい領域に形成できれば、同じ面積のウェーハからたくさんのチップを生産することができる。また、チップが小さくなれば回路内で電子が移動する距離も小さくなり、高速化・省電力化につながるメリットもある。

4 露光装置 (ステッパー) に投入された諸技術

露光装置は、微細加工技術の中核となるもので、半 導体集積回路の形成には不可欠の技術として研究開発 が行われてきた。露光装置にとって、集積回路の微細 化に対応した分解能を有する光学系の開発、その光学 系を製造するための加工装置や計測装置、そしてその 光学系を有効に機能させるための鏡筒の加工装置など と、集積回路をウェーハ上に形成するための位置決め 装置と制御技術、外乱を遮断するための温調技術や防 振技術にいたるまで、数多くの先端技術が投入されて いる(図4.1参照)。

1970年11月の米国IBM社のTechnical Journalの "The Step & Repeat Camera (D.S. Alles、他)"には、 当時の最先端の技術とその設計思想が紹介されており、後にステッパーを開発する技術者にとって、有効な参考資料の一つとなった。

従来は、外国に頼っていた計測技術も、1960年代に 半導体製造関連製品の製造を開始したニコンは、光学 系の開発はもとより、精密機械の代表ともいえるルー リング・エンジンの開発を手懸けており、ここで培わ れた精密加工技術や精密計測技術が、ステッパーの開 発に貢献している(参考文献11参照)。

半導体製造用の光露光装置は、ICの製造装置として 開発されてきたことから、そのルーツは、あまり古い ものではなく、1959年に、テキサス インスツルメン ツ(米国)のJean Hoerniが、プレーナー型のトランジスタを作る方法として発表したのが始まりである。そして、そのコンタクト露光装置に使用するレチクルを製作するためのフォト・リピーターと呼ばれる縮小投影光学系を搭載した露光装置が開発された。現在使用されているステッパーのルーツをたどると、このフォト・リピーターに行き着く。

この生産装置としてのステッパーに要求される性 能は、

- ① 投影レンズの性能 (解像力); 何 μ mのパターンがきれるか?
- ② 回路パターンの重ね合せ精度(アライメント精度、 オーバーレイ精度);半導体素子のパターンをど のくらいの精度で重ね合わせることができるか?
- ③ 生産性(スループット); 単位時間に、何枚のウェーハを処理できるか?
- ④ 信頼性;どれだけの時間安定して運転できるか?
- ⑤ 耐久性;どれだけの期間部品交換なく(消耗部品は、定期的に交換して)運転し続けることができるか?

である。近年では、これに、

⑥ COO (Cost Of Ownership;注参照);1チップ生産するのに要する総コストは?が加わっている。

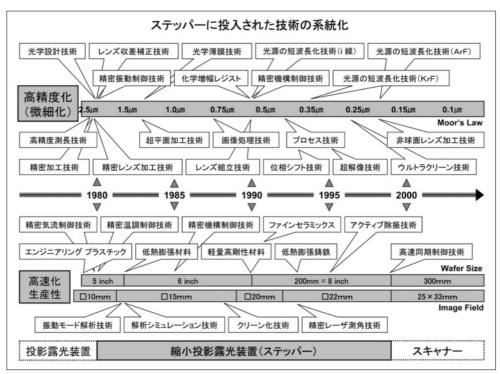


図4.1 露光装置に投入された諸技術

本節では、ステッパーの開発に投入された諸技術に ついて、

- ① 半導体素子の微細化(高精度化)対応として開発 され、導入された技術
- ② 生産性(高速化)の観点から開発され、導入された技術
- ③ その他の技術
- の三つの切り口から述べてみたい。

<COO (Cost Of Ownership) >

<OEE (Over Equipment Effectiveness) >

半導体の生産では、製造プロセスの効率化が重要な課題となり、従来、露光装置では、スループットと呼ばれる「単位時間に何枚のウェーハを処理できるか」という尺度で、性能比較され、装置導入の判断材料とされてきたが、その後、装置単体でのスループットの追求から装置間、工程間の効率化、さらには工場全体の生産効率の向上を図ることが検討され始め、ウェーハ1枚当りの処理コストを示すCOO(Cost Of Ownership)という尺度が導入され、露光装置も省エネルギー対策(電力の消費量の削減、高圧空気、ガスなどの消費量の削減、真空使用量の削減など)の対応が必要となった。

最近では、「装置単体でのスループット」の追求か ら装置間、工程間の効率化、さらには工場全体の生 産効率の向上を図ることが検討され始め、前述の装 置のコスト評価尺度COO(1枚当たりの処理コスト) が、さらに一歩進んだSEMATECHが提唱するOEE (Over Equipment Effectiveness) が採用されるよう になってきている。OEEは、装置の有効性、生産時 間効率、スループット効率、歩留りによって決まる、 COOがコスト面での効率の指標であるのに対し、 OEEは「時間軸における効率」を示すもので、設備 総合効率の指標である。すなわち、プロセス装置の 全体の使用時間の内、故障、非製品 ウェーハ処理、 メンテナンス時間、アイドリングなどを除いた、 真 の生産に寄与する装置全体の有効稼働率のことを指 しており、半導体デバイスメーカーのコスト競争力 維持のために、歩留りの改善と共にOEE向上の重要 性が著しく高まっている。

このような、包括的な要求に対しても、装置開発では、かなりの労力を注ぎ込んで検討を重ねているのが現状である。ちなみに、1980年当初、キヤノンの場合、ステッパーの開発は、光学技術者数名、機構設計技術者5~6名、ソフト設計、ハード設計を含めた電機技術者3~4名という少人数でスタートしているが、1995年には、開発する機種が増えたとはいえ規模的には、数百名の技術者がステッパーの開発に専念して新製品を開発していることから考えると、いかに装置が複雑化してきているかを窺い知ることができる。

4.1 微細化に対応して開発された技術

半導体素子の微細化は、前述の「ムアーの法則」に沿って進展してきたが、同時に微細化の歴史は、高精度化の歴史でもある。ここでは、年々微細化が進む中で、前述の(1)、(2)の要求に応じてどのような技術が開発され、導入されていったかについて述べる。

4-1-1 光学技術

ステッパーに搭載されている光学系には、照明光学系、主レンズとなる縮小投影光学系、そしてフォーカス位置やステージの位置を計測する計測光学系、ウェーハ上のアライメント・マークを検出するアライメント光学系など、数多くの光学システムが組み込まれている。ステッパーを開発しているニコンもキヤノンも光学機器メーカーであり、光学理論やレンズ設計技術に長けている技術者を抱えており、レンズやミラーなどの精密光学素子の製造技術、光学薄膜のコーティング技術などを有していたことから、両社は当初からステッパーの開発に適した条件をそなえていたといえる。

1980年代の半導体の微細化のトレンドに追従し、その牽引役を果たせたのも、素早く、かつ柔軟に対応できる光学技術とそれを加工できる精密加工技術、精密計測技術を自社で有していた両社の強みであった。

図4.2は、露光装置に投入されたキヤノンの光学技 術の例である。

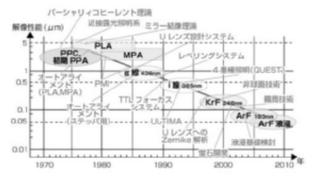


図4.2 露光装置に投入された光学技術の例 (出典;キヤノン、技術を深耕するスペシャリストたち)

4-1-2 露光波長の推移とレンズの開口数(NA)

回路パターンの微細化に対するステッパーでの光学的な対応は、2つの方法がとられている。その方法とは、レイリー(Rayleigh)の式からも明らかなように、投影光学系の解像度(R)は、露光に使用する光源の光の波長(λ)とレンズの開口数(NA; Numerical Aperture)で決まる(図4.3参照)。

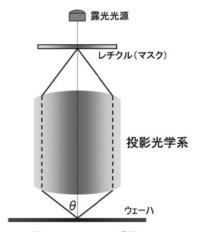


図4.3 NAの説明図

NAは、空気の屈折率をnとすれば、

 $NA = n \times \sin \theta$

解像度(R)と焦点深度(DOF)は、

解像度 $(R) = k_1 \times (\lambda/NA)$

焦点深度 (DOF) = $k_2 \times (\lambda/NA^2)$

で表される。ここに k_1 、 k_2 は、プロセス・ファクターと呼ばれており、通常は1/2である。

すなわち、ウェーハ上に書きこむパターンの解像度は、波長に比例し、投影レンズの開口数に反比例する。言い換えると、光源の波長が短く、投影レンズのNAが大きいほど高い解像度が得られるということである(図4.4参照)。

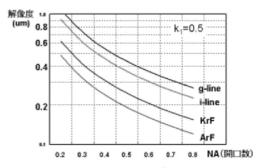


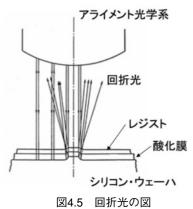
図4.4 波長、NAと解像度の関係 (出典; Japan Nanonet Bulletin Vol.28)

投影露光するための光の波長は、当初、超高圧水銀灯のg線スペクトルを使用していたが、回路素子の微細化とともに年々短くなっており、現在では、アルゴン・フロライド(ArF)のレーザ光を使用している装置も登場している。

しかし、NAの増大は、焦点深度の式のからわかるように、分母にNAの二乗の項があり、焦点深度が、急激に浅くなることがわかる。これは、41-6で述べる対策と同じ対策が必要になることを意味している。このレベリング計測や補正駆動の時間は、各ショット毎に加算されるので、スループットの低下につながることになる。

4-1-3 アライメント技術

ステッパーのアライメント技術は、計測方法、計測シーケンスなどから幾つかの方式に分類できる。また、計測の位置検出方法としては、アライメント・マークに照射したレーザ光の回折光の強度分布を測定する方式(図4.5参照)とCCDイメージ・センサー(注参照)でマークを読取り、画像処理を行って位置合わせする、いわゆるパターン・マッチング方式があるが、現在では、画像処理系の速度が向上し、精度も良いことから画像処理方式が主流となっている。



凶4.5 凹折元の凶

計測方式としては、投影光学系を介して位置検出を行うTTL (Through the lens) オン・アクシス・アライメント光学系 (図4.6参照)、あるいは、投影光学系を介さない測長顕微鏡を有するオフ・アクシス・アライメント光学系を搭載している。また、計測及び駆動方式から分類すると、1ショット毎にアライメント計測と駆動を行うダイ・バイ・ダイ・アライメント方式とウェーハ上の数個所のマークを計測し、それを統計処理して、個々のパターン位置を推定するグローバル・アライメント計測方式などがある。

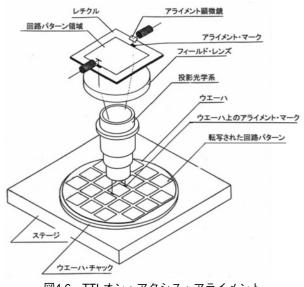


図4.6 TTLオン・アクシス・アライメント

近年では、露光方式がスキャナーとなってきたため に、TTLオンアクシス方式で、グローバル・アライメ ントを行う方式が主流となっている。

アライメント・マークの位置は、チップの両サイド のスクライブ・ラインに埋め込む場合や上下のスクラ イブ・ラインに埋め込む場合もある。

露光装置で発生するアライメント誤差の要因は、ウェーハの熱による伸縮、あるいは局所的な変形によるものと、露光装置に搭載した位置決め機構から発生する誤差がある。また、投影レンズの歪(ディストーション)や露光倍率の変化のように一回の露光範囲(一ショット)内で発生する誤差もある。

一ショット毎に発生するこれらの誤差は、一般に、

- ① 位置ずれ
- ② 回転
- ③ 伸縮
- ④ 歪曲 (ディストーション)
- ⑤ 残存誤差

の5つに分解できる(図4.7(A)参照)。特に、残存誤差は、前記の①から④の成分を除去した結果として残る誤差成分であるから、特定の傾向を持たないのが普通であり、誤差の量自体他の誤差と比べて小さい。

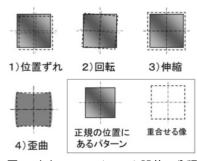


図4.7(A) アライメント誤差の分類

これらの誤差とは別に、ウェーハ毎に傾向を持った 配列で発生する(図4.7 (B) 参照)誤差もある。もち ろん、この種の誤差でも(A)の①に示した位置ずれ

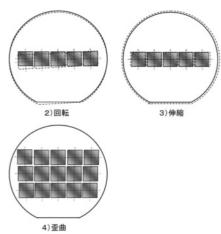


図4.7 (B) 全体的なアライメント誤差

も全体的に発生することもあるが、原因の特定が容易 であるので、アライメント誤差の検討項目としては考 えない場合が多い。

これら分解された各成分の多くは、発生原因を特定 するのに役立つことから、装置の性能を維持するため のテスト露光時の装置の性能、安定性の分析や、装置 開発のための検討に使用されている。

たとえば、露光倍率やディストーションは、装置が 設置されている場所の気圧変化や温度変化により、投 影レンズ内の空気の屈折率が変わることから、発生す ることが多く、両者の相関を調べ、この誤差を少なく する目的で、気圧や温度変動をリアルタイムで計測し、 投影光学系を自動補正するシステムが開発された。

しかし、投影レンズの加工及び組立て発生するレンズ固有のディストーションは、補正が不可能なため、微細な半導体素子の製造では、数十工程にも及ぶ露光工程を、同一のステッパー1台で処理し、固有のレンズ・ディストーションの影響を軽減させる方策もとられていた。半導体素子の全工程を同一のステッパーによって行う方法を現場では「一機通貫?(一気通貫という麻雀の役の名称)」と呼んでいたようである。

半導体素子は、数多くの工程を重ねて製造するため、すでに形成されたウェーハ上の回路素子パターンに次の工程のレチクル上のパターンを正確に重ね合わせるためのアライメント計測技術と、重ね合わせを自動的に高速で行うための精密位置決め技術は、半導体素子の製造装置には不可欠の機能である。これらの技術は、精密測長装置の位置検出技術やルーリング・エンジンに代表される精密加工装置の技術から発展したものである。

ステッパーでは、ウェーハが装置に送り込まれると、初めにプリアライメント機構と呼ばれる装置でウェーハの外周を計測し中心位置を特定すると共に、ウェーハの結晶方向を特定するために予めウェーハにつけられているオリエンテーション・フラット(通称オリフラ;図4.8参照)の位置を検出し、ウェーハの向きを決めて、ウェーハ・ステージ上のウェーハ・チャックと呼ばれる保持機構で真空吸着される。

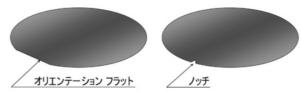


図4.8 オリフラとノッチつきウェーハ

このプリアライメント技術も、当初はメカニカルに位置決めする方法が一般的であったが、半導体素子の微細化に伴って、アライメント計測系の分解能をあげたために、視野が狭くなり、プリアライメントの精度の向上も必要になった。また、ウェーハ上に転写される回路素子間のカッティング・ライン(通常スクライブ・ラインと呼ばれている)が、 $100\,\mu$ mから $50\,\mu$ mに狭まったことやオリエンテーション・フラットが、ウェーハの大口径化に伴い、ノッチ(図 $4.8\,$ 参照)と呼ばれる小さな切込みに変わったことなどもあり、プリアライメントの方法も高精度化されてきている。

アライメント技術も、計測方法、計測シーケンスな どから幾つかの方式に分類できる。

<CCD (Charge Coupled Devices) イメージ・センサー> 画像を電気信号に変換する際に、受光素子が光から発生した電荷を読み出すために電荷結合素子 (CCD) と呼ばれる回路素子を用いて転送を行うことからこう呼ばれる。CCDは、他の撮像素子に比べて相対的に感度が高く、ノイズが少ないという特徴を持つが、CCDを動作させるためには入力電圧として、高いプラス電圧とマイナス電圧を含む複数の電圧を必要とするためその消費電流は比較的高いものになる。

4-1-4 超精密位置決め技術

ステッパーの心臓部に一つに、精密位置決めステージがある。これは、ウェーハを所定の位置に高速で移動させるための機構であり、それを制御するための制御技術から成り立っている。

精密位置決めの機構技術は、わが国の得意とする工作機械などの精密機械の技術とその加工技術があり、これらの基礎技術が流用されている。たとえば、ステッパーのウェーハ・ステージで、テーブルを直線移動させるためのガイド機構は、ニコンのステッパーでは、V型の溝を有する工作機械のそれと同じものを採用している。この、直線ガイドの歴史は古いが、ステッパーで使用する場合、サブミクロン・オーダーの直線性が必要となるため、原器による合せ加工が必要であり、戦前から精密測定器の製造技術を有していたニコンにとっては、選択しやすい機構であったと思われる。

一方、キヤノンのステッパーでは、自社の得意とする平面加工技術を生かしたガイド機構を採用している。これは、当時のキヤノンでは、社内の専用加工機を製作する技術はあったものの、前述のニコンのような超精密なガイドを加工できる技術がほとんど無かったことがあげられる。

ステッパーのアライメント計測と駆動は、ウェーハ を搭載した X Y ステージの位置情報と併せて行うのが

一般的である。すなわち、アライメント計測用のマーク自体は、測長に関する情報は有しておらず、マークの中心情報のみを利用して、ステージの位置を計測している測長用のレーザ干渉計の位置情報と併せて、長さや回転量の計測をしているわけである。

また、測長用のレーザ干渉計については、ステッパーの開発当初、各社ともヒューレットパッカード社 (HP;米国)のものを採用していた。これは、測長技術としての長さのトレーサビリティを重視したためと、当時信頼性の高いものが他にみあたらなかったことによる。長さのトレーサビリティとは、簡単にいうと、同じ試料をどの装置のレーザ干渉計で計測しても同じ値になるというもので、後発の装置メーカーは先行して市場に出回っている装置に合わせることが必要であったことも関係している。当初、このレーザ測長は、ウェーハ・ステージに使用され、X軸とY軸という2軸がレーザ干渉計で計測、制御されていた。

ウェーハ・ステージでの測長は、テーブル上に設置された光学スクエアと呼ばれるL型ミラーが使用されていた。その後、ウェーハ・サイズが大きくなるとL型ミラーの加工精度維持が難しくなったことと、デジタル制御技術の発展により、直交度補正、ミラー面の歪み補正などをアッベの誤差補正(注参照)と同時に処理できるようになり、角柱状の長尺ミラーへと代わった(図 4.9参照)。

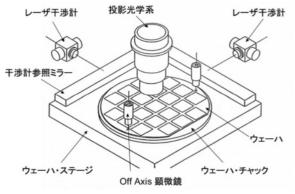


図4.9 レーザ測長の図

そして、ステージの高精度化に対応して、レーザ干渉計も測長だけではなく、角度の計測も可能なものも開発され、ウェーハ・ステージの制御は、フォーカス及びチルト計測と併せて、図4.10に示した6自由度全てが対象とされるようになった。したがって、ステッパーの位置決めステージは、X及びY方向に移動する、いわゆるXYステージ(位置、回転角の計測はZ方向以外の5軸で行い誤差補正量を計算し駆動)とZ(フォーカス)方向の制御、Z軸回りの回転量を補正する θ 制御、X、Y軸回りの回転量を補正するチルト(レベ

リングともいう) 制御を行う、いわゆる微動ステージ で構成されている。1995年以降になると、ステージの 精度はナノメートルの精度を要求されるようになり、 完全非接触のセラミックスのエアーガイドとリニア・ モータを組み合わせた高精度ウェーハ・ステージが開 発された。この種のステージでは、可動部の質量を軽 くするため、軽量・高剛性のアルミナ・セラミックス 材料が使用され、通常はムービング・コイル型のリニ ア・モータを使用するのが一般的であるが、ステッパ ーの場合、可動部分がXYの両方向に高速で移動する 際に、モータに電力を給電する線の抵抗が位置決め精 度に影響することから、ムービング・マグネット型の リニア・モータを開発し搭載している。このことは、 この種のウェーハ・ステージでは、温度変化に敏感な 被加工物であるウェーハを搬送し、精密位置決めする 必要があることから、このムービング・マグネット方 式では、コイルが筐体に固定されているため、液冷に よる精密温度制御がしやすくなる利点ともなっている。

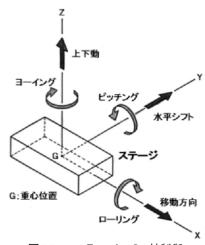


図4.10 ステッパーの6軸制御

このような高精度位置決めステージと微動ステージによる6軸制御で、ステッパーの位置決めステージの精度は、転写する回路素子の最小線幅の十数分の一の精度を維持することが可能となっている。この精度を長時間維持している位置決め技術が、超精密と言われる由縁でもある。

たとえば、現時点で最高の解像性能を有するニコンのi線ステッパーでは、解像力が350nmであり、総合アライメント精度が、40nm以下に抑えられている。したがって、参考資料に記してあるように、数十工程に及ぶアライメント工程でこの重ね合わせ精度を達成するためには、ウェーハ・ステージの位置決め精度は、さらにこの数分の一程度の精度に抑えなければならないので、 $x\pm3\sigma$ で10nm程度ということになる。

ナノメートルの重ね合わせ精度を長時間維持できる

理由の一つは、ステッパーやスキャナーの位置決めが、 精密測長器のような絶対精度を要求しているのではな く、アライメント計測と併せて相対位置精度とその再 現性を保証すれば良いことにある。

〈アッベの原理(誤差)〉

エルンスト・カール・アッベ(Ernst Karl Abbe)は、精密工学の分野で測定物と基準を同一の軸上に配置して機械的な誤差を小さくする(アッベの原理)測長器を開発した。

アッベは、ドイツに生まれでゲッチンゲン大学で学位を取得。1863年イエナ大学に移り、1870年物理学と数学の教授就任。1878年天文学と測量学研究所管理者に就任。1866年に、カール・ツァイスの工場に研究所長として現業部門の技術者となり、カール・ツァイス、光学硝子の開発者フリードリッヒ・オットー・ショットと協力して、光学機器の性能向上に寄与した。

4-1-5 フォーカス計測技術

焦点深度(DoF)は、露光光の波長に比例し、レンズのNAの二乗に反比例するので、高解像度になると焦点深度が浅くなるという技術的に厄介な問題が生じてくる。焦点深度が浅くなると、ウェーハが焦点から少しずれただけで、パターニングが大きく変わってしまう。したがって、ウェーハ表面に凹凸が生じていると、パターニングがうまくいかない。短波長の光源と高NAのレンズを使用するためには、高精度のウェーハ・レベリング技術の開発とウェーハ表面の平坦化を同時に行なう必要がある。

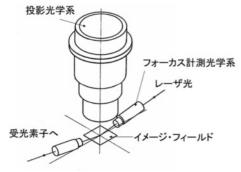


図4.11 フォーカス計測の図

フォーカス計測は、この図4.11のようにウェーハ表面 に平行に近い角度で露光波長以外のレーザ光を照射し、 その反射光の位置を受光素子で受けることで行われる。 ウェーハ表面に平行に近い角度(臨界角以下)で照射す るのは、レジスト表面の反射光のみを利用するためで、 この角度が大きいと、照射した光が屈折してレジスト 内に入り、下地の酸化膜層あるいはその下の層にまで 達して反射されてくるために、ウェーハのどこを測っ ているのかが、あいまいになるのを避けるためである。 また、この計測に使用するレーザ光の波長は、フォト・レジストを感光させにくいものでなければならないことは、言うまでもない。

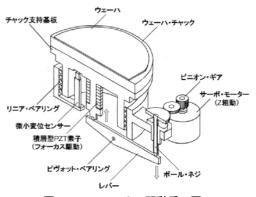


図4.12 フォーカス駆動系の図

図4.12は、キヤノンのステッパーに搭載されていたフォーカス駆動系の例である。フォーカス駆動では、上下移動のガイドとして、円筒形のリニア・モーション・ベアリングが採用され、粗動はテコを介してボール・ネジでサーボ・モータを駆動する方式が取られており、微動は、積層したピエゾ (PZT) 素子 (注参照)をアクチュエータとして直接ウェーハ・チャックの保持基板を駆動するかたちになっている。この粗動機構は、ウェーハをチャック上に搬送する際のハンドリング機構も兼ねている訳である。

<ピエゾ(PZT;The lead zirconate titanate)素子>チタン酸ジルコン酸鉛(Pb(Zr0.5Ti0.5)O3を素材とした圧電セラミックス材料で、結晶の対向する面に高電圧を加えると電歪現象を生じ、その寸法が変化することを利用してアクチュエータとして利用される。通常、一枚当りの寸法変化は非常の小さいので、このアクチュエータを積層した構造のものが開発されている。

4-1-6 レベリング計測技術と駆動技術

3点を含む平面は、唯一つ存在するという、幾何学の定理に基いて、ウェーハ・レベリングの計測は、このフォーカス計測をウェーハ面上の複数点で行い統計処理することにより行われる。現在のステッパーでは、フォーカス計測系を複数組み込んであり、一回でローカルな露光領域の傾き量を計測できるようになっている。

基本的には、図4.12で説明したフォーカス駆動機構を、チルトするためのファイン・セラミックスの天板に固定し、その天板を3か所の上下に移動可能な平行板バネでガイドしている。この機構は、高速XYステージのテーブル上に組み込まれており、レベリング駆動は、フォーカス駆動系を含む機構を、フォーカス駆動

動のPZTとは別の3本のPZT素子で移動制御することによって行う構造となっている。

実際のシーケンスでは、初めにグローバル・アライメント時に各計測ショット位置でフォーカス計測を行うので、そのデータから、ウェーハ全体の平均傾きを計算し、その結果で焼付け動作を行う前にウェーハ全体の平均傾きとその位置での焦点深度を補正しておき、各ショットの露光位置では、フォーカス計測と駆動、レベリング計測と駆動を行うが、予め平均傾きと粗フォーカス駆動で両者を補正してあることから、そのローカルな部分での残差分を補正すればよく、短時間で処理できることになる。

4-1-7 ウェーハの平面矯正

露光装置では、高速で移動するステージ上で、ウェーハを保持し、かつ平面を保つために各種のウェーハ・チャックが開発されている。1970年代のコンタクト・アライナーでは、同心円状の吸着溝を有するアルミニウムの表面をアルマイト処理し、研磨したチャックが使用されていた。ウェーハ・チャックは、ウェーハを露光処理する間は吸着力が強く、移送するときには、小さい力で剥がせることが望ましいわけであるが、平面矯正のための密着性も要求されることから、その両立は難しかった。塵埃の問題もあまり問題視されなかった1970年代の前半では、剥がすときに、吸着溝にクリーンな空気を送り込むことで、剥がし易くするなどの工夫がされていた。

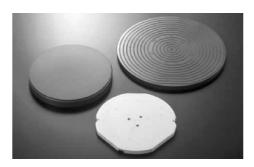


写真4.1 ウェーハ・チャック (出典;京セラ株式会社のカタログ)

写真4.1は、コンタクト・アライナーなどに使用されているウェーハ・チャックの例である。半導体デバイスメーカーの技術者との会話で、真空吸着によるウェーハ・チャックの場合、平面矯正能力は、「所詮1気圧ですよ」と言われたことが、思い出される。同心円状の細い溝の部分を真空に引いても、平面矯正能力が十分ではなかったことを言われたのである。1980年代のステッパーの時代になると、ウェーハの裏面とチャック表面の間に挟まった微小な塵もデフォーカスの原因

となることから、先端の細いピンを多数埋め込んで、表面を平面に研磨したピン状の突起を有するチャックが採用されるようになった。この時代になると、ピン状の突起の間隔を大きくすると、真空吸着力でウェーハが、撓んでしまうという問題が生じ、「所詮1気圧ですよ」というその1気圧に、今度は逆の意味でまた悩まされることとなった。1980年代後半には、構造材料として密度の高い緻密なセラミックスが開発され、チャックの材質も、金属からファイン・セラミックスに移行し、ピン部の加工も切削加工から脆性材料の加工に適したサンド・ブラスト加工が採用され、ピンの配置の自由度や設計形状の自由度も増大し、チャックの製造コストも安価になった。写真4.2は、静電チャックで、微細な突起(をピン状)を多数配置した例である。



写真4.2 静電チャック (出典;日本ガイシ株式会社のカタログ)

4.2 生産性(高速化)の観点から導入された技術

半導体素子の微細化に対応すること、そして高精度 化を図ることのほかに、半導体のような大量生産品を 生産する設備であるステッパーでは、生産性を高める ことも重要な課題の一つになっている。この生産性を スループットとよび、単位時間に何枚のウェーハを処 理できるかという数値で表している。

現在、ステッパーは、コーター・アンド・デベロッパーと連結されてウェーハ1枚ごとに処理されている。この処理に要する時間の比率を図4.13に示した。

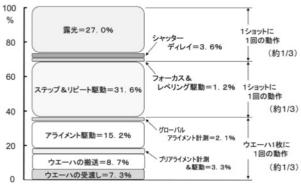


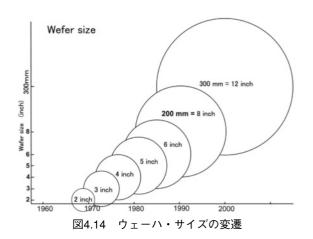
図4.13 ウェーハ処理時間の割合

この図からわかるように、ウェーハ1枚に1回の動作 と、毎ショットごとに発生する動作に分けることがで きる。

ウェーハ1枚ごとに1回発生する動作をへらすためには、 ウェーハの口径を大きくすることが効果的であり、一方、 ショットごとの時間の短縮は、露光関連の時間の短縮あ るいはステージの移動時間の短縮が効果的である。

4-2-1 ウェーハ・サイズの増大

ステッパーの初期の時代、ウェーハのサイズは5インチが主流であったが、その後、枚葉処理の工程の増加などもあり、6インチ、8インチへと移行した(図4.14参照)。それに伴い、ステッパーでは、一枚あたりのショット数が増加し、処理時間が長くなることから、処理時間を短くする(ショット数を減らす)ために、画面サイズを大きくして、ウェーハー枚あたりのショット数を減少させる方法を採用したことは、前述の通りである。



4-2-2 投影倍率(露光エリアの増大)

ステッパーの初期の時代には、縮小投影光学系の倍率は、フォト・リピーターの技術を踏襲したこともあり、1/10となっていた。その後、生産技術的な要求から、ウェーハのサイズを4インチから5インチ、そして6インチ、8インチへと増大して行くにつれて、一枚あたりの処理時間を短くする(ショット数を減らす)ために、縮小投影光学系の倍率は、1/7から1/5になり、そして、現在では、ステッパー、スキャナー共に、縮小投影光学系の倍率は、1/4が主流となっている。そして、ウェーハ・サイズは、12インチに移行しつつある。

しかし、当初は、レチクル (レチクル) 描画用の電子ビーム露光装置の描画領域の制約などから、レチクル・サイズの増大は望めず、縮小投影光学系の倍率は、5インチ・レチクル (レチクル) の場合、1/5で□17.5 mm、6インチ・レチクル (レチクル) の場合1/5で、

□20mmとなった。そして、さらに、1/4で、□22mmへと移行し、現在では、ステッパー、スキャナー共に、縮小投影光学系の倍率は、1/4が主流となっている(図4.15参照)。

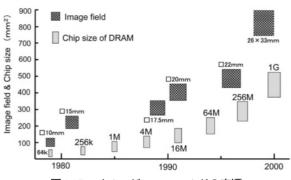


図4.15 イメージ・フィールドの変遷

「ムアーの法則」によると、本来同じチップ・サイズを維持したままで、集積度が3年で4倍になるわけであるが、半導体素子のデザイン・ルールによると前述のように、面積が3年で2倍になってしまう計算になる。しかし、実際には、シュリンクを行って、サンプル出荷の時点でも2倍とはなっていない。そして、第二世代になると1.5から1.2倍程度の大きさにシュリンクされ、第三世代では、逆に1倍以下になっている。

とはいえ、第一世代のチップ・サイズを満足させるような露光装置の開発は、市場の命題でもあり、露光装置メーカーは、画面サイズを□10mmから□22mmへとレチクル(レチクル)作成の制約のなかで、拡大させてきた。

たとえば、□15mmの場合、9.3×18.8mm、□17.5 mmの場合、13.4×20.1mm、□20mmの場合、15.9×25.2mm、□22mmの場合、17.9×25.2mmまでの露光が可能である。半導体デバイスメーカーは、1世代先のDRAMのサンプル作成は、この制約の中で行わなければならなかった。実際の工程では、1ショットのエリアに複数の素子を配置している場合でも、この先行試作では、1ショットのエリア内に1素子という場合もあったと聞いている。

この、露光エリアの増大は、1ウェーハ当りの露光 回数の減少による生産性の向上をもたらしたが、ウェ ーハのローカル・フラットネスの影響を受け易くな り、解像性能に影響を及ぼす結果となり、両面ポリッ シュしたウェーハの採用を余儀なくされ、コスト・ア ップの一要因ともなった。また、露光装置としては、 ウェーハの平面矯正能力を向上させるためのピン・チャックの採用、従来のオート・フォーカス機能に加え て、像面に対するウェーハのローカルな傾きを補正す るためのレベリング計測法やその自動補正駆動手段の 開発などが必然となった。

4-2-3 環境制御技術

年々微細化する半導体素子の製造では、雰囲気温度の変化で、物体の熱膨張による寸法変化や気体の屈折率変化などが生ずる。また、気圧の変化でも空気の屈折率が変化するなど、ステッパーは、周囲の雰囲気の影響を受ける。さらに、精密機器であるステッパーは、外乱としての床振動、装置自身に内蔵しているアクチュエータの振動や、ステージを高速で間欠駆動することで発生する振動などの影響を受け易い。

これらの外乱に対してステッパーでは、精密温調による雰囲気の温度のコントロール、モータなどの発熱物体の強制冷却(液冷、空冷)、気圧変化に対しては、気圧と温度を正確に計測し、装置内に予め組み込んであるデータベースから対応する補正係数を求め、レーザ測長器の場合には、測定値に補正係数を乗じてステージを駆動する、あるいは、投影レンズの投影倍率の補正では、レンズ内の気圧あるいはレンズの位置を制御している。さらに、投影レンズの場合、露光時間、露光回数、露光間隔、休止時間などで、レンズが吸収する熱量が変わるため、これらの変動が、個別に変化しても補正可能な制御システムが組み込まれている。

精密機械としてのステッパーは、自身の発生する振動のみならず、床を伝わってくる外部振動にたいしても敏感に反応する。1980年代のステッパーでは、振動の静定時間を常時計測しており、その振動振幅が一定の値より小さくなった時点で、アライメント計測する、あるいは露光するなどの動作を行うようにしていたが、スループットの観点から1990年代になるとステッパーには、アクティブ除振装置と呼ばれる自己の発する振動の制振と床振動などの外部からの振動の防振という相反する性質を有する物理現象を効率的に制御できる装置が組み込まれるようになった。

さらに、近年のスキャナーでは、ステージの高速化により、前述の制振機能のほかに、ステージの起動・停止時の慣性力で発生する振動を軽減する目的で、そのステージとほぼ同じ重さのステージを反対方向に同期させて移動制御をする、いわゆるカウンター・ウエイト方式を採用した装置も開発されている。この方式は、地震による高層ビルの横揺れを軽減させる免振装置として研究されていた高層ビルの免振システムからの応用であるが、一般の地震振動には無い高い周波数の微振動までもが問題となるスキャナーでは、それに

加えて振動制御用のアクチュエータを多数配置し、ア クティブに振動振幅の低減をはかっている。

|_{4.3} 微細なごみとの戦い |4.3 (コンタミネーション対策技術)

LSIを製造する世界で「空気がきれい」だといえるのは、目に見える煙やホコリはもちろん、0.1 µmという超微細な塵埃を99.9995%以上も除去した極限的な清浄空間である。この微細な塵埃が、LSIチップに一つでも付着すると、パターン欠陥につながり、歩留まりを低下させ、寿命を短かくしたり性質を変えたりして不良品になる。半導体製造では、この塵埃との戦いであるといっても過言ではない。



図4.16 DRAMの最小線幅と塵埃の大きさ

図4.16は、いろいろな塵埃やウイルスなどの大きさ とDRAMの最小線幅(通常、Line & Spaceとばれて いる数値)を比較したものである。ステッパーが登場 した1980年代前半では、この最小線幅もミクロン(マ イクロメートル) オーダーであり、塵埃も沈降性のも のにたいして注意を払っていた。しかし、1980年代後 半には、L&Sもサブミクロン(0.1マイクロメートル) のオーダーに突入し、浮遊性の塵埃も問題にしなけれ ばならなくなってきた。ステッパーでは当初、内部の 精密計測機器 (レーザー干渉測長器) の精度を維持す る温度制御の目的で、専用の閉空間を形成するチャン バーを採用した。これにより、ステッパーのウェーハ 処理空間は、外部雰囲気との遮断ができることになる。 さらに、チャンバー内部の雰囲気温度を均一化するた めに、内部の空気をゆるい層流状態でながす必要があ ったため、この清浄かつゆるい流れを作るために、特 殊なフィルター(一般にはHEPAフィルターと呼ばれ ている;注参照)を介して、空気をながした。これに より、その空間のクリーン度もフィルターの性能に応 じて保たれることになった。また、チャンバー内の圧 力を外部の雰囲気より若干高めに設定することで、外 部からの浮遊性の塵埃の進入も防いでいる。このよう

に、ステッパーでは、半導体製造工場のクリーン化と 並行して、独自のクリーン技術を導入している。

〈HEPAフィルター(High Efficiency Particulate Air Filter)〉 空気中のゴミ、塵埃などを取り除き、清浄空気に する目的で使用するエア・フィルタの一種である。 病院の空気清浄機や半導体製造工場のクリーン・ル ームのメインフィルタとして用いられている。

JIS Z 8122 によって、「定格風量で粒径が $0.3 \mu m$ の粒子に対して99.97%以上の粒子捕集率をもち、かつ初期圧力損失が245Pa以下の性能を持つエア・フィルタ」と規定されている。

4-3-1 清浄度の定義

JISZ 8122 (コンタミネーションコントロール用語) によると、清浄度とは「対象物の清浄状態を示す量」と 定義されている。具体的には、一定の面積あるいは体積 に含まれている制御対象物質 (汚染物質) の大きさ、個数、質量で表される。特定のある場所または容積中に存在する汚染物質の量、もしくは粒子の大きさ別の数によって格付けられた清浄度の程度を清浄度レベル、清浄度レベルを等級分けしたものを清浄度クラスという。

4-3-2 清浄度の規格

クリーン・ルームの清浄度基準は、微粒子の大きさ と個数で決められている。

現在では、0.01 µ m (10nm)、 0.1 µ m (100nm) といった粒径までが対象となっており、将来はさらに、微小な粒子も対象となると考えられる。このクリーン度の定義は、ステッパーでも同じである。

この清浄度に関わる規格は、米国連邦規格 (Fed. Std. 209)、米国航空宇宙局規格 (NBH 5340 2)、英国規格協会規格 (BS 5295-1)、ドイツ規格 (VDI 2083)、日本工業規格 (JISB 9920) などがある。

このなかで、米国連邦規格Fed. Std. 209Dで規定されていた清浄度クラス表記(1立方フィート中に存在する粒子の最大許容粒子で表現)は直感的で分かりやすく、日本においても長らく使用されてきた。一方、様々な基準が国際統一化へと進むなか、クリーン・ルーム関連の規格もISO(International Standard Organization)のTC(Technical Committee)209にて審議され、清浄度に関する規格ISO14644-1が1999年に成立した。

これに伴い米国連邦規格が2001年に廃止されたほか、日本工業規格も2002年に改訂された。ただし現場レベルでは、米国連邦規格Fed. Std. 209Dによる「クラス1000」という表現やそれを準用する形で、 $\lceil 0.1 \, \mu$ mクラス100」という通称が用いられることが多く、

ISO規格との併用がしばらく続くものと思われる。 なお、Fed. Std. 209Dによる「クラス1000」はISOクラス6相当、通称「 $0.1\,\mu\,\text{m}$ クラス100」はISOクラス3.5 相当となる。

半導体製造工場のクリーン・ルームと呼ばれている 空間の清浄度は、JISの規格でいえば、クラス1~3に 相当する。また、大洋上の空気がクラス6~7、都会の 雑踏ではクラス8~9である。

4-3-3 ステッパーに採用されている塵埃対策

外部の雰囲気中の塵埃が、ウェーハや、レチクルなどに付着するのを防止するためのチャンバーのほかに、ステッパーでは、自身が出す塵埃がウェーハやレチクルに付着しないような清浄空間を形成するために、高性能のフィルター(ウルパ)を介してチャンバー内部にクリーン・エアーを層流状に流している。それに加えて、

- ① レチクルは、レチクル・カセットに入れて保管し、使用するときに、ステッパー内でカセットを開け、レチクルを取出しして、レチクル・ステージ上にセットしている。このカセットの開閉により発生する塵埃も問題となることから、カセット内でのレチクルの保持・固定方法、カセットの開閉機構、そしてカセットの材質にいたるまで、細心の注意がはらわれている。
- ② レチクルには、クロムのパターン面に塵が付着しないようにペリクルと呼ばれる有機の薄膜(ニトロ・セルロースなど)を型枠に貼りつけたものが付けられている。パターン面と反対側の面に対してもペリクルをつける場合もあるが、レチクルのガラスそのものを厚くする方法もとられている。
- ③ 前記のレチクルにたいする防塵対策をした上に、ステッパーでは、レチクル・ステージ上でレチクルのガラス面とクロム面及びペリクルの表面に付着した微細な塵埃を検出するための高精度の塵検査機構も開発され組み込まれている。これは、レチクル上に欠陥となる塵が付着した場合、ウェーハ全体にその影響が及ぶためである。たとえば、ウェーハ上の一箇所に塵が付着した場合、そのチップのみが不良品となるが、レチクルの場合そのレチクルを使用したチップは全て不良品となるという致命的な問題があるからである。
- ④ ウェーハの無塵ハンドリング技術の採用。1980年 当初の露光装置でのウェーハのハンドリングは、 レジストの塗布してある表面をゴム系の吸着パッ ドで真空吸引するというものであったが、ステッ

- パーでは、吸着部に付着する塵と吸着によるダメージをなくすために、裏面を吸着するという方法が採用された。このために、ウェーハをチャックに載せる際に、裏面を保持している搬送ハンドを逃がすための切り欠きをチャックに付けた。しかし、微細化の進展に伴い投影光学系の焦点深度が浅くなると、その切り欠き上に位置するショットでのデフォーカスが問題となり、ウェーハ・チャックに3本のウェーハ受け渡し用のピンを突き出し、その上にウェーハを搬送し、ハンドを退避させた後に3本のピンを下降させてウェーハを手やックに吸着させるという機構が開発された。この細い3本の中空パイプで作られたピンを上下させるための僅か数ミリの穴が、現在、デフォーカスの原因として再び問題になっているようである。
- ⑤ ウェーハ・チャック表面とウェーハ裏面に塵を挟 む確率を小さくするために、細い針状の突起でウ ェーハを支える、いわゆるピン・チャックが 採用されている。このピン・チャックは、米国 のIBM社で開発されたものであるが、チャッ クとピンの材質及び製造方法については、わが 国で開発されている。特に、ファイン・セラミ ックスのチャックを開発し、実用化したのは、ガ ラスの超平面加工技術を有するキヤノンであった。 しかし、開発の当初は、チャックのピンの部分に レジストが付着して凝固し、有機溶剤による通常 のクリーニングでは取れないと言う問題を生じ、 それを定期的に削り取るためのセラミックス製の 工具を開発しなければならなかったというエピソ ードもある。現在では、セラミックスの材質も多 様化しており、静電チャックを含めて、セラミッ クス製のチャックの使用が当たり前になっている。
- ⑥ 1980年代の装置では、回転部の機構にベアリング などを採用し、しゅう動部に潤滑剤を使用してい るものもあったが、1990年代に入ると、これらの 可動部から出される微細なオイル・ミストも問題 視されるようになり、非接触しゅう動ガイドの採用や、オイル・ミストの発生の少ない真空雰囲気用の潤滑剤なども採用されるようになった。

このように、半導体素子製造の現場だけでなく、ステッパー自体の装置仕様としても清浄度を保証するためのさまざまな機構の開発を要求されるなど、装置開発は、壮絶な塵埃との戦いでもあった。また、装置を作る環境も、半導体製造工場と同じような清浄空間を必要とし、専門の組立工場を建設しなければならないなど、装置コストに影響する事柄も増えてきた。

そのほか、ステッパーを半導体工場に設置するための輸送手段も、温度、湿度といった雰囲気の制御はもとより、輸送時の地面からの振動、エンジンの振動など輸送中の各種振動や衝撃を抑えた専用の輸送車を開発しなければならなかった。また、輸出のように設置先が海外の場合は、航空機による輸送が主体となり、その環境に耐えられる温度、湿度、気圧といった雰囲気の制御と、輸送時の振動を抑える機構と制御装置を搭載した専用のコンテナを開発して対処している(写真4.3参照)。



写真4.3 輸送用のコンテナの写真 (提供;キヤノン)

4-3-4 そのほかの直接的塵埃対策

① ペリクル

ステッパーとスキャナーでは、慣例でフォト・マスクをレチクルと呼んでおり、本論文でもステッパーの記述にはレチクル、それ以外の露光装置の場合は、マスクと記述することで統一した。レチクルの材料は、露光光の透過率が高く、低熱膨張係数の小さな石英ガラスが使用され、図4.17のようにその裏面には、パターンを描画したクロム、酸化クロムあるいはモリブデンシリサイドなどの金属薄膜がある。そして、それを覆うようにニトロセルロースの薄膜をペリクル枠に張り付けてある。これは、レチクルに付着する異物が金属薄膜のパターン面から離れていることで、デフォーカスされレジストに転写されることを防止するためである。ペリクルを付けたレチクルを写真4.4 に示した。この写真では、ペリクルの部分を表にして写したので、実際の使用時とは反対になっていることに注意を要する。

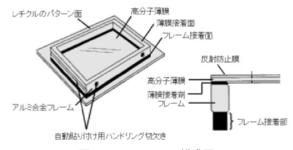


図4.17 ペリクルの構成図 (出典;旭化成エレクトロニクス株式会社のカタログ)

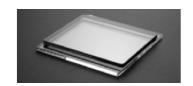


写真4.4 ペリクルの写真 (出典; Asahi Grassのカタログ.)

② 局所クリーン化技術

局所クリーン化技術として、ヒューレットパッカード社(米国)が、1985年に出願している特許は、ウェーハをクリーンな密閉された容器にいれて、清浄度を保つというアイデアで、スミフ・ポッド(SMIF Pod;注参照)という名前で知られている。

ステッパーにおいては、この技術は、1995年頃から注目し始めていたが、レチクル・カセットの開発、実装の経験から、この種の搬送ボックスを利用する場合、ウェーハを搬送ボックスとステッパーとの間でやりとりする時に、ボックスの開閉機構と、その受け渡しの方法が難しく、どうしてもパーティクルが発生しやすくなるということがわかっており、なかなか実用化できなかった。写真4.5は、SMIF Podとそれを開閉するためのオープナー(Opener)と呼ばれる開閉装置の例である。



写真4.5 SMIF Pod とOpener (出典;日立那珂エレクトロニクスの カタログ)

DRAMの生産で赤字に転落した1998年以降になると、LSI工場の建設コストや製造コストの増大が、資金調達の面からメーカーの工場建設を妨げ、システムLSIに方向転換しようとしている半導体メーカーの死活問題となってきた。そのためにあらゆるコストダウン技術が検討されるようになり、このLSI工場の建設コストや製造コスト削減を最優先課題としてみると、その有力な要素技術が、SMIF等の搬送ボックスと、それと組み合わせで用いられるミニ・エンバイロンメント技術であった。そこで、受け渡しの雰囲気を、クリーン・ルーム内とは別にミニの部屋を装置に直付けする形で設け、搬送ボックスと装置を介してウェーハの受け渡しを行う、一種の仲介室の考え方が広まってきた。現在、最も生産効率が良いとされているウェー

ハは直径300mmである。これ用の搬送ボックスは、フープ(FOUP;Front Opening Unified Pod)と呼ばれ、ステッパーに実装されている。しかし、世界的には、200mmのトータルで手頃な生産性も重要であり、既設工場への後付けが可能であることも手伝って、現状ではSMIFシステムが、韓国や台湾、また、一部の日本メーカーなどで導入されている。





写真4.6 フープと呼ばれているボックス (出典;ミライアル株式会社 カタログ)

<SMIF Pod>

SMIFは、Standard Mechanical Interfaceの略。

4.4 化学増幅型レジスト(生産性の向上)

g線やi線の時代の光源は、十分な光の強度があり、露光時間を短くすることが、比較的容易であるが、クリプトン・フロライド(KrF)の光源は少しばかり弱く、アルゴン・フロライド(ArF)の場合はさらに弱くなるので、化学増幅型レジストが生産性の向上のために使用されるようになった。化学増幅型レジストは、紫外線だけでなく熱にもよく反応する感光材料である。露光装置で露光した後、この化学増幅型レジストを加熱処理すれば、十分な光で露光したのと同じ結果が得られるのである。このレジストを加熱する処理は通常、コーター・アンド・デベロッパーに搭載されているホット・プレートで行う。ただし、化学増幅型レジストは温度に大変敏感なので、ホット・プレートの温度精度は高くする必要があった。

一方、レジストの感度をあげると、露光時間の精密コントロールが必要となり、g線やi線のステッパーでは、積算露光計の計測精度向上と、シャッターの制御精度の向上を必要とし、KrF以降のパルス・レーザーによる露光では、パルスのカウント精度と1パルス以下の露光量の制御手段の開発が新たに必要となった。

4.5 解析、シミュレーション技術

ステッパーの開発では、コンピュータによる解析技術とシミュレーション技術が随所で生かされている。 といっても、1980年代前半のステッパー開発では、現在のように、有効なソフトウエアも少なく、ほとんど は、自社で開発したものを使用していた。例えば、投 影レンズの設計では、キヤノンの光学技術者の思い出 として、Uレンズと呼ばれる投影露光装置用のレンズ の開発について述べている。以下はその内容を引用し たものである。

「ステッパーの投影レンズでは、開発初期、お客さんから求められる性能が出ない時期があったんです。レンズの"収差"の問題です。設計値を見ていたら、開発システムに不備があることにふと気付きました。当時の開発システムはカメラからの転用だったので、ステッパー設計用には不十分な点があったわけです。急遽、レンズ設計システムのソフト開発部門を巻き込んで新しいレンズ開発システムを特急で作り上げました。」

また、別の事象で、

「こんなふうに、新しい技術領域を扱っていると、過去のデータがあてにならないこともあるんですよ。自分で実証していくしかないことがよくあるんです。例えば、F₂レーザから出る157nmの光は、それまでのエキシマ露光装置に使われていた材質の石英を通りません。すると限られた光学材料の中では、レンズになるものは蛍石しかないんです。

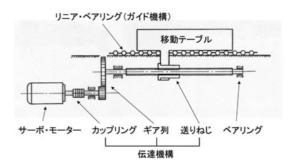
ところが、理論的には透過することが分かっていても理科年表などの過去のデータを見ると、蛍石は波長157nmの光を通さないことになっているんです。これは不純物の影響で、実際にはそのように純粋な物質が世の中に存在していなかったわけです。そこで、蛍石自体の開発から入り、純度をどんどん上げて1センチあたり99.5パーセント以上の透過率が達成できるようになりました。このように材料の基礎データから新たに検討し直していくというところがあるから、研究・開発が大変だけれどおもしろいんですね。このあたりのおもしろさを、もっとたくさんの人にも知ってもらいたいとも思います。」

ここにも記されているように、ステッパーの開発では、全てが未知のことばかりであり、設計や開発のための解析ツールも設計者自身で作ることもあったし、設計に使用する物性データも自分で測定しなければならないなど、最先端を行くが故の問題にも多々直面した。さらに、光学設計の分野では、設計した投影レンズの製作の難易度をシミュレーションできるソフトウエアの開発も行われ、実際に製作しなくても、どの程度の性能になるかを検討できるようになっている。また、投影レンズの加工、組立てにおいても、最適なレンズの組合せをシミュレーションできるソフトウエアと計測器が開発されている。

機構設計の分野では、当時FEM解析ソフト(注参

照)などはあったが、大型のコンピュータを使うため、設計者が常用できるほど簡便ではなかった。たとえば、ステッパーに搭載する精密位置決めステージは、高速駆動と停止後の素早い振動静定、停止状態での外乱に対する安定性などが要求される。一般のステージの構造は、工作機械や精密測定器などで紹介されていたが、ステッパーの条件に合致するシステムを選択することは、意外と難しく、簡単なシミュレーションを行い、各方式を比較することにした。

シミュレーションのモデル化は、ステージのテーブルを質量にもち、駆動する機構(ボールねじなど)をバネ系に置き換え、ステージのガイド構造から、その部分の粘性減衰係数を算出して行った。これは、減衰のある一軸のバネ・マス振動モデルで、図4.18に示すようになり、簡単な二次の振動方程式として記述できた。この簡略化により、当時、まだ珍しかった8ビットのマイコン(Apple II)でも、シミュレーションが可能となり、卓上で図面を引きながら計算をおこなえた。その後、マイコンも急速に発展し、32ビット機も登場したことから数値解析ソフトも充実し、より高度な制御システムとしての総合的なシミュレーションも机上で可能になっていった。



mをステージの質量、kを伝達機構の剛性、Cをガイド機構の粘性係数 μ をガイド機構の摩擦係数とすると、上図の運動方程式は、

 $\mathbf{m}\mathbf{x} + \mathbf{C}\dot{\mathbf{x}} + \mathbf{k}(\mathbf{x} - \mathbf{x}_D) + \mathrm{sign}(\dot{\mathbf{x}}) \mu \mathbf{m} \mathbf{g} = \mathbf{0}$ で、あらわされる。 ここで、 $\mathbf{sign}(\dot{\mathbf{x}})$ は、速度が正の時 $\mathbf{sign}(\dot{\mathbf{x}}) = 1$ 、速度が負の時 $\mathbf{sign}(\dot{\mathbf{x}}) = -1$ となる係数である。

図4.18 モデル化の例

また、構造体の解析では、大規模なFEM解析も簡 便に行えるソフトウエアも市販されるようになり、振 動問題では、このFEMによる固有値解析のほかに、 実際の装置を加振して、その振動の状態をパソコンに 取り込み、装置がどのように変形するかを解析し、そ の状態を時系列で視覚的に表示できるモーダル解析装 置がヒューレットパッカード社(HP;米国)より販 売されるなど、解析ツールも充実してきた。これらの 解析ツールを有効に利用することで、試作の期間を短 縮でき、さらに、装置の温度変化やチャンバー内の気 流の状態をシミュレーションできるソフトウエアも開 発され、ステッパーの高精度化対応のための検討を助 けている。1990年代中頃には、機構設計もキャド (CAD;注参照)を使用するようになり、設計、即シ ミュレーションということも可能となったために、開 発のスピードも格段に向上している。このことは、電 機システム設計においても同じで、E-CADの導入と、 MatLab(注参照)に代表される解析ソフトと各種の シミュレーション・ソフトの活用で、開発のスピード が格段に向上している。今後は、これらのシミュレー ション技術がさらに進歩し、試作レスの方向に進んで 行くのではないだろうか。

<FEM (Finite Element Method) >

微分方程式を、近似的に解くための数値解析の方法であるが、複雑な形状やいろいろな性質を持つ物体を単純な小部分に分割することで近似し、全体の挙動を予測する方法。現在、構造力学や流体力学などの様々な分野で使用されている。

<CAD (Computer Aided Design) >

「コンピュータ支援設計」の略で、機構、建築物や 工業製品の設計にコンピュータを用いること。 Computer Assisted Designの略だとする説もある。

MatLab(米国;The MathWorks社)

数値解析、シミュレーション言語で、演算機能のほか、ビジュアルにデータを表示する豊富なライブラリーを有している。

5 露光装置の延命策

現在、ステッパーやスキャナーの価格は、十億~二 十億円と高価であり、半導体の微細化の進展に追従し て買い替えはできない。そこで既存の露光装置の延命 を図るためにいろいろな工夫がなされてきた。

ハーフ・ミクロンの時代に突入し、解像力の向上のための各種プロセス技術や微細化にともなって、ますます浅くなる焦点深度をカバーするための超解像と呼ばれる各種の手法、すなわち、変形照明法や位相シフト・レチクル、そして従来の製造設備を継続して使用できる工場設備の延命策ともなる二重露光技術や光露光装置そのものの延命策としての液浸露光技術なども開発され実用化されている。

5.1 変形照明法(1990年代初~)

輪帯照明、分割照明(四開口照明;四重極照明)な どの変形照明は、レチクルに垂直に入射させていた光 を、少し斜めから入射させることにより解像度と焦点 深度を向上させたものである。特に、DRAMなどの 直交する繰返しパターンが多い場合には、非常に効果 的な手段である。この原理は、MTF(Modulation Transfer Function) 理論に基づいているが、その数 学的説明は難しく、ここでの本筋ではないので詳細な 説明はさける。簡単に言うと、対物レンズの性能はコ ントラスト対空間周波数(注参照)の関数で示される ので、通常のコンデンサを用いた中心透過照明でイン コヒーレント照明を行った場合, コントラストは空間 周波数の増加に対し直線的に減少する。これに対し偏 斜照明を行うと高次の回折光の影響で、高空間周波数 のコントラストは相対的に増加することになる。これ が、変形照明法の原理である。

<空間周波数>

オーディオの分野では、原音の情報を機器が如何に忠実に再生するかを周波数特性を用いて判断するが、光学の世界では空間周波数(Spatial frequency)を用いるのが一般的である。具体的には、空間周波数(本/mm)は1mmあたり何本のパターンがあるかを示したものである。

5.2 位相シフト・マスク (1990年代中頃~)

既存の露光装置の延命を図るための工夫がなされて きたその代表例としては、位相シフト・マスク (PSM; Phase Shift Mask) の使用がある。ステッパ ーの投影露光は、通常は光の振幅情報のみを利用してきた。これに対して、回路パターン間に位相差をつけて露光することで、解像限界を向上させることが理論的には可能である。この研究に関しては、IBMのレベンソン(M.D. Levenson)の論文(1982年)が有名であるが、わが国では、その発表の一年前の1981年に露光装置の製造メーカーであるニコンによって特許が出願されているのは非常に興味深い。

代表的な位相シフトマスクの構造に、論文発表者の名前をつけたレベンソン型や、ハーフトーン型、エッジ強調型などいくつかのタイプが使用されている。これらは、いずれもマスク通過光の一部の位相を180° ずらすことにより、従来、光の干渉で劣化していた解像力、あるいは焦点深度を改善するものである。

実際に、光に位相差をつけるためには、マスク基板上に厚さdで屈折率nの透明薄膜(シフター)を設ければよく、この位相シフター薄膜の材料としては、入射光に対して減衰があってはならないので、回路素子の形成に使用される薄膜と同じ酸化膜系が使われている。

また、ハーフトーンマスクの位相シフターとしては、Crの酸化膜、あるいはMoSiの酸化膜、およびそれらの積層膜が一般的に使用されている。実際には、シフターを付加する場合と、マスクそのものをdに相当する深さだけエッチングして位相差をつける場合の二つが考えられる。図5.1は、位相シフトマスクの概念図で、通常のCrパターンの回折光強度分布に、位相シフターで反転した強度分布を加えることで、回路パターンのコントラストが強調される状況を概念的に示したものである。

ハーフトーン型(Attenuated Type)マスクは、通常はCrにより遮光される部分からわずかに光を漏らしてその漏れ光の位相を開口部分と逆位相にすることで、エッジ強調形マスクと同じ効果を出させたものである。実際の適用としては、通常のCr膜の代わりにある程度の透過率を有し、位相が180度変化するような薄膜をもちいて、コンタクトホール層などへ適用する研究が進められている。

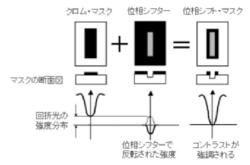


図5.1 位相シフト・マスクの概念図 (出典;参考文献33参照)

5.3 二重露光 (1990年代後半~)

二重露光の概念は、フォト・レジストが、ある露 光光量以上照射されると、光の照射された時間に比 例して光化学変化することを利用したもので、例え ば、1μmのスリットを有するマスクを用いて、ある スレッショルド以下の露光光量で露光し、つぎにマ スクを0.5 μ m平行移動して、前に露光した領域に0.5 umだけスリットが重なるようにして、再び、ある スレッショルド以下の露光光量で露光すると、一回 の露光では十分感光しなかったレジストが、スリッ トの開口部と重なった0.5 µm幅のレジスト部分は、2 倍の露光光量となる、この露光光量がそのレジスト のスレッショルドを超えていれば、ポジ・レジスト の場合、現像でその部分のみが残ることになる。し たがって、この方法を用いれば、そのステッパーの 限界解像力より細い線を転写できることになる。実 際には、半導体素子の回路パターンの形状によって は、この方法が有効でない場合もあるが、繰返しパ ターンの多い素子製造の一部の工程では実施されて いるようである。

図5.2は、2板のマスクを用いて二重露光を行なう方法で、この方法によれば、かなり複雑な形状のパターンの製造も可能となる。図中の1、2、3という数字は、1がスレッショルド以下の強度となる部分、2、3、は1の2倍あるいは3倍となる部分で、2、3で示した部分が、スレッショルドを越えるので、現象で残ることになる。

5.4 液浸露光技術(2000年代初~)

ステッパーの解像度は通常、光源の波長が短く、投影レンズのNAが大きいほど高い解像度が得られる。ここでNAは、nを露光光が通過する媒質の屈折率、 θ を露光光が形成する図5.3に示した角度として、NA= $n \times \sin \theta$ となる。

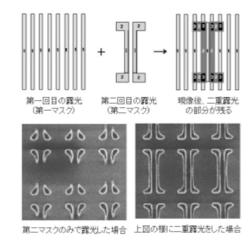


図5.2 二重露光の概念図 (出典;参考文献33参照)

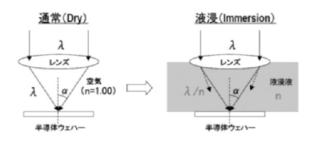


図5.3 液浸露光技術の概念図 (出典; (株) 半導体先端テクノロジーズの資料)

この式において、通常の露光は大気中で行われるので、n=1である。これに対し液浸露光では、投影レンズとウェーハの間に、屈折率nが1よりも大きな液体を満たす露光方式をとり、投影光学系のN Aの定義において、前述の解像力の式で、nを拡大することが目的である。同一の露光光の光線入射角 θ では、最小解像寸法を1/nに縮小することができる(光学系NAのn倍の拡大の効果)。一方、従来と同一のNAにした場合は、 θ を小さくできるため、焦点深度をn倍に拡大することができることになる。

この方式は、光学顕微鏡では従来から用いられてきた方式あるが、投影レンズとウェーハの間を、屈折率1.44の純水で満たすことで液浸露光が可能となるため、現在、光源にアルゴン・フロライド・レーザーを用いた露光装置で、開発がすすめられ一部で実用化されている。

6 考察

露光装置の系統化の研究のなかで、わが国の露光装置が世界を凌駕する装置に育った過程を調べてきた。 以下は、この研究過程で気付いた点を記述したものである。

| 6.1 官民共同プロジェクトでの | 6.1 研究開発体制の確立(超LSI技術研究組合)

超LSI技術研究組合に関する論文や記事は、かなり多く公表されており、ここで改めて論ずる必要はないと思われるが、わが国の半導体産業の黄金時代を築くきっかけをつくり、本研究のテーマでもある半導体露光装置(特にステッパー)の系統化を論ずる上で、重要な事象であることから、簡単に述べてみたい。

1970年当時、日本電気、日立、三菱といったわが国の大手半導体デバイスメーカーは、半導体の生産量で世界のトップ10にランクインするほどになってはいたが、同時に大型コンピュータを手がけている各社は、米IBM Corp.による矢継ぎ早の新製品発表と未来コンピュータの開発構想「Future System」に脅威を感じており、それらがきっかけとなり、このプロジェクトが設立された。

当時、日本の半導体デバイスメーカーの生産設備は、米国の半導体製造装置にほとんど依存していたが、これからの新しい分野を切り開くには国内で新しい製造装置を開発することが望ましいという観点から研究が行われた。そしてその具体的な目標は、超LSIが中心になるであろう1980年代に必要な製造技術を予測し、1980年代半ばに1Mbitの超LSIメモリーを試作、1980年代末に数Mbitの超LSIメモリーを試作できるような製造装置を開発するということを主眼に設定された。

| 6.2 半導体デバイスメーカーの | シェア拡大に伴う膨大な設備投資

図6.1は、1985年から最近までの、わが国の半導体の生産額と設備投資額を示したもので、シリコン・サイクルと呼ばれるこの業界特有の経済変化(次節で詳しく説明する)は見られるものの、1995年頃までは、生産額は、右肩上がりの成長を続けてきており、それに伴って設備投資も行われてきていることを示している。この図で、1991~1994年までは1990年(平成2年)1月の株式大暴落で開始されたと言われている「バブル崩壊」の時期に当たり景気は低迷しており、半導体

の生産額、設備投資額共に減少しているが、右肩上がりの傾向は維持している。また、この時期は、1Mbit DRAMから4Mbit DRAMへの世代交代の時期とも重なっている。

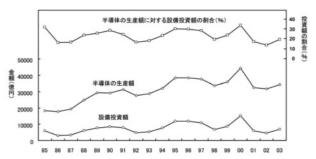


図6.1 わが国の半導体生産額と設備投資額の関係 (出典;ガードナー データクエスト他)

1985年から1995年までの11年間の設備投資額と生産額との比率は、平均で約23.8%であり、膨大な設備投資を続けてきたことを意味している。この比率は、1995年以降の右肩下がりの生産額の傾向に対しても同じである。

ここで、2000年の異常とも思える生産額は、64Mbit DRAMの最盛期と、アメリカのIT景気、パソコン・ブーム、携帯電話ブームなどが合致したためであり、そのために膨大な投資も行われ、結果的に突出したものと考えられる。300mmウェーハ対応の露光装置の開発は、この数年前に完了しており、その時点で、設備を導入したメーカーも多いことから、露光装置の出荷のピークは、2000年には現れていない。

半導体の世代交代がスタートする時期、ウェーハ・サイズが変化する時期は、半導体製造装置の世代交代の時期でもあり、この半導体デバイスメーカーの設備投資の変遷は、そのまま露光装置の生産量に反映されるはずであるが、常に最先端の露光装置を求めるユーザーが多く、毎年性能アップを続けている露光装置は、平均化される傾向にあり、必ずしも需要のピークと出荷台数のピークが一致しているとは限らない。

図6.2は、DRAMの世代交代を示すものであり、縦軸は、年間の生産量である。1999年頃までは、3~4年で世代交代していたものが、1995年以降はほぼ2~3年で世代交代が発生しており、それに伴い、膨大な設備投資が必要ともなっている。しかし、ビット当りのDRAMの価格は、下がり続けており、COOを小さくできない限り、利益率は低下する一方である。

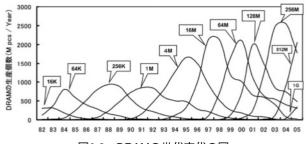
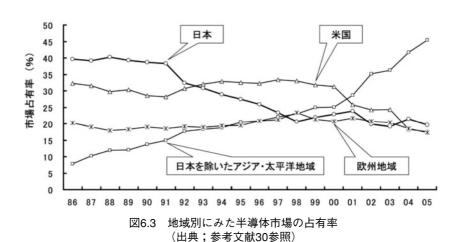


図6.2 DRAMの世代交代の図

わが国の半導体産業は、1998年に、半導体大手5社 (日本電気、日立、東芝、富士通、三菱)がDRAMの 売上不振で赤字を出して以来、システムLSIの製造に方 向転換しており、現在は、韓国、台湾などのアジア・ 太平洋地域勢の躍進が目立っている(図6.3参照)。



6.3 シリコン・サイクルについて

図6.4に示したような理由で、3~4の年周期で変動する半導体業界特有の景気サイクルのことを、シリコン・サイクルと呼んでいる。

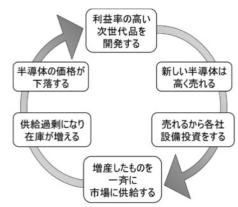


図6.4 シリコン・サイクルの説明図

半導体業界は技術進歩が早く、設備投資の計画や在庫管理などが非常に難しい。そのために、在庫循環による市況の動きが極端に大きくなりやすい。図6.5は、DRAMの価格変動の一例を示したものである。

半導体は「産業の米」と呼ばれるように、その価格 変動は産業界への影響が大きいために、シリコン・サイクルが景気サイクルの大きな要因になっているとも 言われている。またこの、景気循環のサイクルは、オ

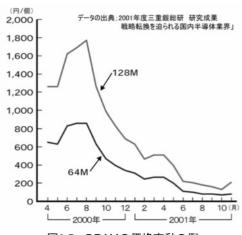


図6.5 DRAMの価格変動の例

リンピック・イヤーと一致している場合があったことから、あたかも、連動しているような錯覚を与えているようである。しかし、実際には、前述の図3.1に示すように必ずしも一致しているわけではないが、概念的には、正しい見方かもしれない。特に、近年では、半導体関連の技術革新のサイクルも短くなっており、シリコン・サイクルの周期も短くなっているようであるが。

6.4 半導体デバイスメーカーの生産技術力と 露光装置メーカーの開発力と製造技術力の融合

精密機械の開発を得意とする光学機器の専門メーカーが露光装置の開発を担当した。当時、両社共、既に

フォト・リピーター用投影光学系のレンズなどを開発しており露光用光学系の開発技術者及び製造技術者を擁していた。加えて、ニコンはルーリング・エンジンの技術で磨いた超精密位置決め技術と加工技術、キヤノンはガラスの超平面加工技術とその測定機を開発するための精密技術を既に有しており、共に得意する技術を駆使して半導体デバイスメーカーの難しい要望に答えた。そして、半導体デバイスメーカー各社は、生産技術力を駆使して、露光装置の性能評価を行い、装置メーカーにその評価結果をフィードバックして改善させた。この半導体デバイスメーカー各社の生産技術力と露光装置メーカーの総合開発力との融合により、各社の半導体製造技術を支えられる信頼性の高いステッパーをタイムリーに市場に供給すことができたといえる。

ここで、ステッパーの初期の段階から開発に携わってきた筆者が、常々疑問に思ってきたことがある。その一つは、ニコンもキヤノンも当初のステッパーのステージを駆動するサーボ・モータは、GCAと同じエレクトロクラフト社のものを使用し、ステージを位置決め制御するためのレーザ干渉計は、3社ともHP社のヘテロダイン干渉計を使用していた。わずかな違いといえば、GCAは、滑りガイドを採用し、ニコンは転動ガイド、そしてキヤノンは、滑りと転動ガイドを併用していたことである。にもかかわらず、数年の間に市場占有率を極端に変えたものが、何であったのかがよくわからないことである。この疑問が解けることを期待して、今回の調査に臨んだ訳であるが、まだ、調査不足のためか、すっきりとした理由がみあたらないのははなはだ残念ではある。

6.5 米国の官民共同の開発プロジェクト セマテック「SEMATECH」

わが国の半導体産業の衰退とともに露光装置のシェアも減少の一途を辿っている。その要因のひとつは、1987年に米国の国防総省と民間半導体デバイスメーカー14社が共同出資した半導体製造に関する技術の研究開発のためのコンソーシアム、セマテック「SEMAT-ECH; SEmiconductor MAnufacturing TECHnology」の成功であろう。

わが国の超LSI研究共同組合と似ているところもあるが、このプロジェクトの目標は、1980年代半ばに凋落しかかった米国半導体産業の競争力を回復させることにあった。内容的には、標準となる半導体製造装置の開発に主眼をおき、「製造装置と処方箋(レシピ)

をセットで導入すれば、誰でも同じように半導体を量産できる」というコンセプトで米国の半導体デバイスメーカーと半導体製造装置メーカーが一体となって標準の装置を開発していることである。

セマテックのコンセプトは、優れたプロセス技術者をもたない台湾や韓国などの半導体デバイスメーカーでも、優れた製造装置を導入すれば、装置についてくるレシピで最先端のDRAMの製造を可能にした。1990年代、ASMLは、台湾のTSMC(Taiwan Semiconductor Manufacturing Company)に大量のステッパーを供給しており、米国の総合半導体装置メーカーであるAMAT(Applied Materials Inc.)が供給するプロセス装置のレシピと併せることにより、大規模なDRAMの製造ラインが容易に構築できるようになったことである。

AMATは、世界最大の半導体製造装置メーカーであり、エピタキシャル成長装置、RTP装置、エッチング装置、CVD装置、PVD装置、イオン注入装置、CMP装置、検査・測定装置、ウエット・クリーニング装置などの開発を手がけている。

このように、ほとんどの半導体プロセス器機を手がけているが、光露光装置関連が欠如していた。1990年代に、AMATは、カリフォルニア州サニーベールに専門のテクノロジー・センターをつくり、そこに半導体プロセスラインを構築し、実際のデバイスの試作を行えるようにしている。このフォトリソグラフィーのラインに、ASMLのステッパーが導入されたのである。

1990年代の初めに日本でバブル経済がはじけ、日本の半導体デバイスメーカーが設備投資を縮小し、結局、巨額の投資を実施し、セマテックのコンセプトを受け継いだ米国の半導体製造装置メーカーの設備を導入して、製造のレシピも入手したアジアの新興企業にその座を奪われる結果となった。

その後、1995年を境に、半導体の生産額も右下がり の減少傾向となり、1998年には、大手半導体5社がこ ぞって赤字に転落している。

2000年代にはいり、ステッパーの製造をしているのは、ニコン、キヤノン、ASMLの3社が主体で90%近くのシェアとなっており、2001年にSVGLを吸収合併し、SVGLのシェアも獲得したASMLが販売戦略で優位に立ち、現在、世界最大の露光装置メーカーとなっている。

このわが国の華やかなステッパー全盛時代が終焉を 迎えるに至った理由を、工作機械業界の衰退と対比し て考察している興味深い論文が発表されているので興 味のある方は参考にされたい(参考文献10参照)。

7 おわりに

1960年代から始まった半導体素子の微細化に呼応して開発が進められたステッパーは、第3章で述べたように、3年で0.7倍の最小線幅になるというロードマップを基に、その時々の最新の理論、新しい材料、そして新しい技術を貪欲に取込んで開発されてきた。

調査を終了するにあたり、いくつか疑問が残ってはいるが、この短い開発期間に製品を出せたのは、試作品に近い装置を導入して、実際の半導体デバイスの試作を行い、問題点を洗い出して、装置の不具合を指摘してくれたデバイスメーカーの優れたプロセス技術者の方々を忘れてはならない。特に、DRAMの製造工程では、各社各様のノウハウがあり、製造装置メーカーではわからない問題も多々あり、これらをデータベースで素人にも理解できるように説明してくれ、時には、解決のヒントとなるような実験データまでも提供してくれるなどの協力があって、世界を凌駕するステッパー技術が育ったものと考えられる。

本報告を終わるにあたり、株式会社ニコン広報部の伊藤様、キヤノン株式会社光学機器事業本部の早乙女様には多大なご協力をいただいた。また、私的な立場からご助言いただいた両社の開発技術者の方々、そして、組織的には解散してしまったので協力は出来ないと言いつつも協力していただいた半導体デバイスメーカー数社のプロセス技術者の方々、そのほか、この報告書の執筆にあたり、図や写真などの提供あるいは引用を快諾くださった各社の方々に、この紙面を借りて感謝の意を表する。また、古い図や写真などのいくつかは、各社のカタログや電子カタログなどから引用させていただいたので、出典として社名を記載させていただいた。

1995年以降、DRAMの製造は、アジア・太平洋地域にシフトしており、それを製造するスキャナーは、ASMLの牙域となっているが、システムLSIに方向転換したわが国の半導体デバイス産業が、システムLSI製造の巨人「インテル」を超えて、もう一度世界を凌駕する日がくることを願いつつ本研究のおわりとしたい。

参考文献

- A. 半導体デバイス、露光技術などに関する文献
- (1) Dr.Gordon E.Moore;

 [Cramming more components onto integrated circuits], Electronics Vol.38, April. 1965
- (2) D. S. Alles 他;
 「The Step & Repeat Camera」, The Bell system technical Journal, Nov. 1970
- (3) Dr. Gordon E. Moore;「Progress In Digital Integrated Electronics」、IEEEの講演会資料、1975
- (4) 百瀬克巳、高橋一雄; 「超LSI製造装置における位置決め」、 昭和58年度精機学会講習会資料、1983
- (5) 高橋一雄; 「ステッパーにおける機構と制御」、昭和60年度 精機学会春季大会シンポジューム資料、1985
- (6) 高橋一雄; 日本機械学会第663回講習会資料「最新の位置決 め技術」、Jan. 1988
- (7) 小笠原敦; 「次世代LSI用リソグラフィー技術の研究開発動 向」、科学技術政策研究所月報No.2、May. 2001
- (8) 高野潤一郎; 「マテリアル・シミュレーションの動向」、 科学技術政策研究所月報No.9、Dec. 2001
- (9) 特許庁;「半導体露光技術に関する特許出願動向調査」、特許庁総務部技術調査課、2002
- (10) 中馬宏之; 「資本財産業におけるモジュール化」、一橋大学 イノベーション研究センター資料、2002
- (11) 吉田庄一郎; 「ナノネットインタビュー」記事、文部科学省ナ ノテクノロジー総合支援プロジェクトセンター Japan Nanonet Bulletin、Vol.28、July. 2003
- (12) 奥和田久美; 「シリコン半導体デバイス研究に対する大学の関 わり」、科学技術政策研月報No.25、April. 2003
- (13) 諏訪恭一; 「開発秘話:半導体露光装置」、SEMI Japan Open Document Vol.19、No.3、2003

(14) JEITA;

「21世紀のIT社会を拓く」、 電子情報技術産業協会、2003

(15) 小松裕司;

「半導体製造技術の研究開発動向」、 科学技術政策研究所月報No.36、March. 2004

(16) 立野公男;

「半導体微細加工装置技術の最新動向」、 科学技術政策研究所月報No.36、May. 2004

(17) SIRII;

「FACTBOOK 2004」、半導体産業研究所、2004

(18) 小松裕司;

「エレクトロニクスへのナノテクノロジーの応用」、科学技術政策研究所月報No.46、Jan. 2005

B. 半導体および露光装置の歴史、 経済などに関する文献

(19) 金銅亮知;

半導体産業「1980年代の日米半導体摩擦を手掛 かりに」

(20) 小宮隆太郎、横堀恵一;

「1980年代の日本の産業政策」、通商産業研究所、 Discussion Paper Series, May. 1990

(21) 米津宏雄;

「半導体産業と先端技術」、 工学図書株式会社、1992

(22) 垂井康夫;

「日本半導体50年史-時代を創った537人の証言」、 半導体産業新聞、2000

(23) 清貞智会;

「日米欧の政府R&D予算に関する政策動向」、 科学技術政策研究所月報No.2、May. 2001

(24) 亘理誠夫;

「スーパーコンピュータの動向」、 科学技術政策研究所月報No.7、Oct. 2001

(25) Hiroyuki Chuma, Yaichi Aoshima;

「Determinants of Microlithography Industry Leadership-The Possibility of collaboration and Outsourcing」、Institute of Innovation Reserch, Hitotubashi University、2001

(26) 福田将之;

「戦略転換を迫られる国内半導体業界」、

(株) 三重銀総研 産業レポートNo.27、Jan. 2002

(27) 内藤和弘、藤林明宏;

「日本半導体産業の構造と世界的役割」、 中央大學商学部河邑ゼミナール資料、2002

(28) 原史朗;

「ムーアのビジネスモデルの破綻」、 AISTプレゼンテーション資料、April. 2004

C. 各種統計データ

(29) SEAJ;

「半導体製造装置 統計資料」、 各年度毎の日本半導体製造装置協会統計データ

(30) WSTS;

「World Semiconductor Trade Statistics」、 各年度毎の世界半導体市場統計データ、1985-2005

(31) Gartner & Dataquest;

「世界半導体マーケットシェア」、 各年度毎の半導体市場予測データ、1985-2005

(32) EIAI;

「電子工業生産実績、輸出入実績」、 日本電子機械工業会の統計データ

- D. 半導体技術ロードマップ
- (33) JMF、SEAJ;

「半導体製造装置技術ロードマップに関する調査 研究報告書」、2004

- (34) SIA & ITRS ロードマップ
- (35) 日本半導体製造装置協会; 「各年度の半導体製造装置技術関連のロードマップ」
- E. 専門用語

(36) 日本半導体製造装置協会; 「半導体製造装置用語辞典-第3版」、 日刊工業新聞社、1987

(37) 日本半導体製造装置協会;

「SEAJポケットブック-半導体・FPD製造装置業界便利帳-第3版」、2003参考資料1 半導体の製造プロセス

(注) チップ面積を同じと仮定すると、 集積度は、3年で2倍程度向上する。 ⇒ 3年で集積度を4倍にするためには、チップ面積を2倍にしなければならない。 「集積回路の機能(トランジスタの数など)は、3年で4倍になる」 Chip size O CPU Design rule (実際の後細化の進行) 3年(1世代)で、寸法0.7倍 256G 0.05 μ m 64G ∇ 28×50mm 0,07 μ m デザイン・ルールは、Mooreの法則 を満足してきた訳ではない 2010 Intel 16G 7 22×44mm 0.1 μ m Pentium 4 (2000-42M) Pentium III (1999-31M) 4G V 18×36mm 0.13 µ m Pentium II (1997-7.5M) 16 715×30mm 0.18 µ m **デザイン・レール** (実際の微細化の進行) 3年(1世代)で、面積0.5倍 26 × 33mm 2000 Pentium (1993-3.1M) 256M ∇ 12×24mm 0.25μm _22mm 64M √10×20mm 0.35 μ m ην 0.3 μ m/ Shrink 8×17mm 486(1989-1.18M) Moore's Law Image Field □20mm Scaling 386(1985-275K) 16M 8× 0.5 µ m 4M ∇7×14mm 0.75μm Scaling 1990 286 (1982-120K) 017.5mm 1M ▼ 6×12mm 1 μ m 1Gbit DRAM (1995: NEC) Chip size, 三菱 ___15mm 8086 (1978-29K) 256K 1.5 μ m 64Mbit 第二世代DRAM (1995: Kbits DRAM(1974: Intel) 1980 64K 2.5 μ m 64Mbit DRAM (1990:富士通) Design rule, 16Mbit DRAM (1988:東芝、富士通) 16K 3.5 µ m 256Kbits DRAM(1980: 富士通) 4004 (1971-2.25K) 64Kbits DRAM(1977: 幅土通) ¥₽ã E 4Mbit DRAM (1986:東芝、富士通) لد 8080 (1974-5K) 1K √5μm 8008 (1972-2. 5K) 1970 1Mbit DRAM (1984: 富士通) ムアーの法則と後徭化のトフンド _aw CPU 1965; Dr. Gordon Moore 10 µ m Moore's Law を提唱 S 6 Moore Intel 1960 大 単 位 (Bit) ₹ 半導体素子の集積度 9 緊逐

160

附表1 半導体デバイスメーカー・トップ10

順位	1971年	1980年	1981年	1986年	1988年	1989年	1990年	1992年
1	IL	TI	IL	NEC	NEC	東芝	NEC	Intel
2	Motorola	Motorola	Motorola	東芝	東芝	日立	東芝	NEC
3	Fairchild	Philips	NEC	日立	日立	Motorola	Motorola	東芝
4	SN	NEC	Philips	Motorola	Motorola	ΤI	日立	Motorola
5	Signetics	NS	平日	II	II	富士通	Intel	日立
9	OEN	東芝	東芝	NS	二二三二三二三二三二三三三三三三三三三三三三三三三三三三三三三三三三三三三三三	二菱	富士通	ΤI
7	平日	日立	SN	富士通	Intel	Intel	П	富士通
8	AMIS	Intel	Intel	Philips	三菱	松下	三菱	二菱
6	三菱	Fairchild	- 1272	松下	松下	NEC	Philips	Philips
10	Unitrode	Infineon	Fairchild	二菱	Philips	Philips	松下	松下
順位	1995年	1998年	1999年	2000年	2001年	2002年	2003年	2004年
1	Intel	Intel	Intel	Intel	Intel	Intel	Intel	Intel
2	NEC	NEC	NEC	東芝	東芝	Samsung	Samsung	Samsung
3	東芝	Motorola	東芝	NEC	STM	東芝	Renesas	I
4	平日	東芝	Samsung	Samsung	Samsung	STM	東芝	Renesas
5	Motorola	TI	Ш	ΤI	ΙI	ΤI	П	Infineon
9	Samsung	Samsung	Motorola	STM	NEC	NEC E	STM	STM
7	IL	日立	平日	Motorola	Motorola	Infineon	Infineon	東芝
8	軍工運	Philips	Infineon	日立	日立	Motorola	NEC E	NEC E
9	二菱	STM	STM	Infineon	Philips	Philips	Motorola	Philips
10	現代	Infineon	Philips	Micron	Infineon	日立	Philips	FS

附表2 登録候補一覧

作年	5 名称	資料形態	所在地	製作者	分類	条件	コメント
1970) プロジェクション・プリント・カメラ PPC-1	実機	キヤノン株式会社	キヤノン(株)	静態保存	指公開	世界初のサブミクロン露光装置
197	回折格子刻線機	実機	株式会社ニコン 熊谷製作所	(株)ニコン	社内設備	非公開	国産初のルーリング・エンジン
197	5 ファインパターン・プロジェクション・マスク・アライナー	実機	キヤノン株式会社	キヤノン(株)	静態保存	非公開	型番;FPA-141F
198	4 縮小投影露光装置 NSR-1505G2A	実機	株式会社ニコン 熊谷製作所	(棋)ニコン	静態保存	非公開	別名:ステッパー

附表3 半導体の歴史と露光装置の歴史

年	集積度	S%T	半導体関連	半導体業界関連	備考
1947			Walter Brattain, John Bardeenらが点接触型トランジスタの発明(米国:Bell研究所)		ジュネーブで関税・貿易に関する一般協定(ガット)調印
1948			接合型トランジスタの原型を発明(米国: Bell研究所:William Shockley, Walter Brattain, John Bardeen)	無線通信機械工業会(現在の(社)日本電子機械工業会(EIAJ))設立	国連世界保健機関(WHO)発足
1949				公的な研究会"トランジスタ研究連絡会"発足(文部省の研究費)	1ドル360円単一為替レート、湯川博士ノーベル賞受賞
1950			トランジスタの研究開発に着手(NEC)	NHK東京テレビジョン実験局、定期実験放送開始	日本初のLPレコード発売(日本ビクター)
1921			高純度のゲルマニウム単結晶を用いたトラ ンジスタの制作に成功(電気通信研究	実用的な接合型トランジスタを発明(米国;Bell研究所;William Shockley)	対日講和条約と日米安全保障条約の調印、紅白歌合戦始ま る、通商産業省設置
1952			業界初のプラスチックラジオ1号機" SS- 52型"発売(三洋雷機)	G.W.A. Dummer 集積回路のアイデアを提示(G.W.A. Dummer)	NHK東京テレビ実験局で、戦後初のテレビドラマ「新婚アル バム」放送
1953				日本初の民放テレビ局"日本テレビ放送網(NTV)"開局	日本初のテレビ局「NHK東京テレビ局」本放送開始
1954			シリコントランジスタを初めて製作(米国T I:Gordon Teal)	日本短波放送開局	戦後初の地下鉄丸の内線営業開始(池袋ーお茶の水間)
1955				世界初のトランジスタラジオ"TR-55"を発表 (東京通信工業:現ソニー)、トランジスタ式計算機"IBM608"を発表 (米国:IBM)	家庭電化時代「三種の神器」(電気洗濯機・電気冷蔵庫・テレビ)憧れの的
1956				NHKカラーテレビ東京実験局開局	日本が国連に加盟
1957			エサキ(トンネル)ダイオードの発明	世界最小"TR63型ポケッタブルラジオ"発売(現ソニー)	国産ロケット1号機「カッパー4C型」打ち上げ成功
1958			集積回路(IC;Integrated Circuit)を試作 (TI;Jack Kilby)	CPUの回路素子としてトランジスターを採用した。IBM7070、7090電子計 算機"を発表(IBM)	日本電子工業振興協会 (JEIDA) の設立、東京タワー完成、一 万円札発行
1959			プレーナー型のトランジスタを作る方法を 発明(米国:lean Hoerni)	タ式テレビを完成(東芝)、全トランジスタ式電子計算 :	Kilby(TI)が固体回路の特許を出願(俗にKilby特許と呼ばれている)
1960			ICの実用化研究に着手(NEC)	高純度シリコンの製造開始(信越化学)	カラーテレビ本放送開始 テレビ普及率44.7%
1961				国産初のルーリングエンジンを開発(ニコン)	テレビ人口がラジオ人口を追い抜く、テレビ普及率62.5%
1962			MOS電界効果トランジスタの発明(米国 RCA 研究所:Steven Hofstein、Fredric	フォトマスク製作用レンズ"ウルトラマイクロニッコール 105mm F2.8"を 発表(ニコン)、マイクロポータブルテレビの発売(ソニー)	テレビ契約 1,000万台突破,英国を抜き世界第2位のテレビ 国に
1963			ICの商業生産開始(フェアチャイルド社)	世界初の"トランジスタ小型VTR"発売(現ソニー)	ケネディ暗殺、貿易為替自由化計画大網
1964				世界初の電子式卓上計算機"コンペット"発売(早川電機(現シャープ)) IBMシステム/360を発表	東京オリンピック、東海道新幹線開通(東京-新大阪間:6時間50分から4時間~)
1965			2Bit MOSメモリの試作(NEC)	日本初の"コンパクトカセットレコーダー"発売(アイワ)	朝永振一郎ノーベル物理学賞受賞
1966				世界初のIC電卓"CS-31A"の発売(早川電機(現シャープ))	大型工業技術研究開発制度(通称;大プロ)の発足
1961		10nm		集積回路(IC)用投影露光装置(フォトリピーター)の発売(米国)、電子ピーム(EB)露光装置を日本電子株式会社(現JEOL)が開発	産業構造審議会発足
1968			144Bit NチャンネルMOSメモリの開発 (NEC)	NJニトロン・カラーテレビの発売(ソニー)、ラジオ付きカセットテープレコーダーの発売(アイワ)、システム/360モデル85の発表(IBM)	Intel社設立 (integrated electronicsの略), 日本初のロケット、 SB2A型八号機打ち上げに成功
1969					
1970	1K	7.5	世界初の1KBit DRAMを開発(インテル)		Bell研究所のTechnical Journal に"The Step and Repeast Camera"の研究論文が掲載された。
1971				投影魔光装置"PPC-210"の発表(キヤノン)、 世界初の大幅IC化カ ラーテレビを発売(東芝)、IBMシステム/370 モデル135, 195を発表	
1972				初のシステム・コンポーネント・ステレオ"リッスン5"の発売(ソニー)	沖縄返還
1973	4K	5	1KBit NチャンネルDRAMの開発(NEC)	両面同時投影爾光装置"BPA-200"、投影爾光装置"FPA-120"、コンタクト・プロキシミティ露光装置"PLA-300"の発売(キヤノン)、IBMシステム/370 モデル115を発表	資源エネルギー庁の設置、通商産業省機構大改革
1974			4KBit DRAMの開発 (NEC)	マイグキシング付セパレートステレオの発売(パイオニア)	石油危機と狂乱物価対策

				家庭用カセットVTR第1 号機"ST6300"の発売(ペータガ式;ソニー)、 IBMシステム/32を発表	電子計算機座業資本輸入完全自田化、沖縄海洋博覧宗、4 油需給適正化法
—	16K	3.5	超LSI技術研究組合"共同研究所"の発 足		ロッキード疑惑
_			64KBit DRAM(電電公社)の試作、16KBit DRAMの開発 (NEC)	ć	サムスン電子工業が韓国半導体(株)を買収し半導体事業に 参入、初の静止気象衛星「ひまわり1号」打ち上げ
					GCAステッパーが発売される、日米半導体戦争勃発
1979	64K	2.5		型投影露光装置"MPA-520FA"を発売(キヤノン)、IBM4331、 プロセッサーを発表	インベーダーゲーム流行
<u> </u>			64KBit DRAMの開発 (NEC)	"を出荷開始(ニコン)	UMC(聯華電子)を創設(台湾の政府機関が全額出資)、東 京サミット
⊢				NSR-1505G、NSR-2005G の発売(ニコン)、IBM3083、3084プロセッ サーを発表	貸しフェード店登場
<u> </u>	256K	1.5			夢のオーディオ, コンパクト・ディスク(CD) 登場
				ステッパ~"FPA-1500FA"の発売(キヤノン)、中型システム "IBM4361、4381プロセッサ~"を発表、パーソナル無線がヒット	東京ディズニーランド期園
Н		П	256KBit DRAMの量産化(日立)。		NHK初の衛星放送開始、ポケット型カラー液晶テレビ
1985	1M	1	IMBit DRAMを開発(東芝)	大手半導体製造装置メーカーが発起人となって "日本半導体製造装 ・ 置 <mark>協会(SEA])"設立、IntelがDRAMから撤退しMPU事業に特化 </mark>	サムスン電子が64KbitDRAMの量産を開始、SIAが米通商代 表部に半導体ダンピング問題を提訴
_			4MBit DRAMの開発(NEC、東芝,)	ーハ対応ステッパー"FPA-1558"の発売(キヤ	日米半導体協定の締結、 吉田ナノ機構プロジェクト(科学技術振興機構)発足
_				S—VHS方式VTRの発売、IBM3090-Eシリーズを発表	TSMC(台湾積体電路製造公司)を創設、「SEMATECH(セマテック)」がスタート(米国)
	4M (0.75	16MBit DRAMを開発(東芝)	システ	内需拡大のための緊急経済対策
				パスポートサイズ"ハンディカム55"の発売(ソニー)、プラットフォー ム"IBM ES/3090-[シリーズ"を発表	竹やぶから2億円 岩戸景気に迫る好景気、ベルリン壁崩壊
_				ノート型パソコン、ワープロ、自動車電話、コードレス電話、スーパーファ ミコン、BSチューナー内蔵TVがヒット	APEC発足、日米構造問題協議
<u> </u>	16M	0.5		携帯電話、パーソナルファクス、液晶自動車テレビ、カラー液晶ノート型 パソコンがヒット、衛星放送開始	日米半導体新協定改定、ソ連崩壊、湾岸戦争
Н		П	64MBit DRAMの開発 (NEC)	П	バルセロナオリンピック
			256MBit DRAMの開発 (NEC)	テレビデオ、ワイドテレビ、家庭用FAX、ポケットベル、多機能電子手 帳、カーナビがヒット、ウィンドウズ3.1の発売	皇太子御成婚
_	64M (0.35	IGBit DRAMの試作(日立)	カーナビ、ワイドテレビ、パソコン通信、パーソナルファクス、通信カラオ ! ケ、ハンディカラオケ、携帯用MDプレーヤー、売り切り携帯電話がヒッ	半導体産業研究所の発足、 通産省は日米半導体摩擦の終 息を宣言
			64MBit DRAM(第二世代)のサンプル出荷(三菱:0.3um、135mm2)	パット、ウインドウズ95の発売	半導体理工学研究センター「STARC」の設立、阪神大震災
<u> </u>				ハイビジョンテレビ、デジタルカメラ、デジタルビデオカメラ、インターネッ トTV、DVD、MD、携帯電話、PHS がヒット、電子メールがブームとない	(株) 半導体先端テクノロジーズ「Selete」の設立、アトランタオリンピック
-1	256M (0.25	4Gbit DRAMの開発(NEC)		第1次石油ショック以来のマイナス成長
					長野冬季オリンピック開催
\vdash				富士通が汎用DRAMから撤退、現代電子(韓国)がLG半導体(韓国)を ソ 吸収合併し「ハイニックス」へ	ズーム機能付き200万画素程度のデジカメがヒット、コン ピュータ 2000年問題
\vdash	16	0.15		マナノンデジタルカメラ"イクシ・デジタル"(キャノン)がヒット	11

附表 4 ニコンとキヤノンの露光装置開発年表

発売年	L&S	ニコンの機種名	光源	画面サイズ	解像力	キヤノンの機種名	光源	画面サイズ	解像力
1978		SR-1号機完成	g線	□10mm					
1979	2.5 μ m				2		1 1		9
1980		NSR-1010G	g線	□10mm	1.0 μ m				
1981		NSR-1505G	g線	□15mm	1.2 μ m				
	150	NSR-2005G	g線	□20mm	1.5 μ m		_		
1982 1983	1.5 μ m					FPA-1500	¢A	П14	10.00
1900	7	NSR-1505G2A	g線	□15mm	1.0 μ m	FFA-1000	g線	□14mm	1.0 μ m
1984		NSR-1505G3A	g線	□15mm	1.0 μ m				
2.535333.03		NSR-1010i3	i線	□10mm	0.8 μ m				15 2
1985	1.0 μ m	NSR-HT3025G	g線	□30mm	2.0 μ m	FPA-1550	g線	□14mm	1.0 μ m
1986	3	NSR-L7501G	g線	□75mm	4.0 μ m	FPA-1550Mk2	g線	□15mm	0.8μ m
		NCD-150504D	_ &n	□15mm	004	FPA-1558	g線	□15mm	0.8 μ m
1987		NSR-1505G4B NSR-1505G4C	g線 g線	□15mm □15mm	0.9 μ m 0.8 μ m				
1007		NSR-1505G4D	g線	□15mm	0.75 μ m				a .
		NSR-1505EX	KrF	□15mm	0.5 μ m	FPA-1550Mk3	g線	□15mm	0.7 μ m
1988	0.75 μ m	NSR-1505G5C	g線	□15mm	$0.8 \mu m$				
1000	0.70 µ	NSR-1505G5D	g線	□15mm	0.75 μ m				
		NSR-1505G6E	g線 :40	□15mm	0.65 μ m	EDA-1EEOMI-AW	- 6A	П00	0.5
1989		NSR-1505i6A NSR-1755G7A	i線 g線	□15mm □17.5mm	0.65 μ m 0.65 μ m	FPA-1550Mk4W	g線	□20mm	0.5 μ m
1000		NSR-1755i7A	i線	□17.5mm	0.55 μ m	FPA-2000 i1	i線	□20mm	0.5 μ m
1990		NSR-2005G8C	g線	□20mm	0.55 μ m		- 100		μ
1991	0.5 μ m	NSR-1755EX8A	KrF	□17.5mm	0.45 μ m				
	0.0 μ 111	NSR-2005i8A	i線	□20mm	0.5 μ m				
1992	2	NSR-2005EX8A	KrF	□20mm	0.4 μ m	FPA-2500 i2	i線	□22mm	0.45 μ m
1993		NSR-2005i9C NSR-TFH1(薄膜磁気ヘッド用)	i線 g線	□22mm □17.5mm	0.45 μ m 1.5 μ m	FPA-2500 i3	i線	□22mm	0.4μ m
1995		NSR-2005i10C	i線	□22mm	0.45 μ m				
		NSR-4425i	i線	□44mm	0.7 μ m				
1994	0.35 μ m	NSR-2205EX10B	KrF	□22mm	0.32 μ m				
-		NSR-2205i11D	i線	□22mm	0.35 μ m				
		NSR-S201A	KrF	25mm × 33mm	0.25 μ m	FPA-3000 i4	i線	□22mm	0.35 μ m
1995		l				FPA-3000 i5 FPA-3000 iW	i線 :ee	□22mm □50mm	0.35 μ m
100010000		l				FPA-3000 MR	i線 i線	□50mm □50mm	0.8 μ m 0.8 μ m
4000	×	NSR-2205EX12B	KrF	□22mm	0.28 μ m	FPA-3000 EX3	KrF	□22mm	0.25 μ m
1996		NSR-2205i12D	i線	□22mm	0.35 μ m		1		0.20 /4
	8	NSR-TFHi12(磁気ヘッド用)	i線	□22mm	$0.5 \mu {\rm m}$	FPA-3000 EX4	KrF	□22mm	0.25 μ m
1997	0.25 μ m	NSR-S202A	KrF	25mm × 33mm	0.25 μ m	FPA-4000 ES1	KrF	26mm × 33mm	$0.25\mu{\rm m}$
	- 4	NSR-2205EX14C NSR-2205i14E	KrF i線	□22mm □22mm	0.25 μ m				
		NSR-S102B	i線	25mm × 33mm	0.35 μ m 0.35 μ m	FPA-3000 i5+	i線	□22mm	0.35 μ m
1000		NSR-S203B	KrF	25mm × 33mm	0.18 μ m	FPA-3000 EX5	KrF	□22mm	0.22 μ m
1998						FPA-3000 EX5 GMR	KrF	□22mm	0.25 μ m
						FPA-5000 ES2	KrF	26mm × 33mm	0.18 μ m
		NSR-S302A	ArF	25mm × 30mm	0.18 μ m	FPA-3000 EX6	KrF	□22mm	0.18 μ m
1999		NSR-S204B NSR-2205i14E2	KrF i線	25mm × 33mm □22mm	0.15 μ m 0.35 μ m				
		NSR-220514E2 NSR-S305B	和R ArF	25mm × 33mm	0.35 μ m 0.11 μ m				
2000	0.15		i線	25mm × 33mm		FPA-5000 ES2+	KrF	26mm × 33mm	0.15 μ m
2000	0.15 μ m	NSR-SF100 NSR-S205C	KrF	25mm × 33mm		FPA-5000 AS1	ArF	26mm × 33mm	0.13 μ m
		NSR-S306C	ArF	25mm × 33mm	0.10 μ m	FPA-5500 iZ	i線	26mm × 33mm	0.35 μ m
2001						FPA-5500 iZ+	i線	26mm × 33mm	0.35 μ m
						FPA-5000 ES3 FPA-5000 AS2	KrF	26mm × 33mm	0.13 μ m
	7	NSR-S206D	KrF	25mm × 33mm	0.11 μ m	FPA-5000 AS2	ArF KrF	26mm × 33mm 26mm × 33mm	0.11 μ m 0.12 μ m
2002		NSR-SF120	i線	25mm × 33mm		FPA-5000 AS3	ArF	26mm × 33mm	0.12 μ m
		NSR-S307E	ArF	26mm × 33mm	0.08 μ m	FPA-6000 ES5	KrF	26mm × 33mm	0.11 μ m
2003	0.1 μ m	NSR-S207D	KrF	26mm × 33mm		FPA-6000 AS4	ArF	26mm × 33mm	0.08 μ m
2000	σμι	NSR-SF200	KrF	26mm × 33mm	0.15 μ m				
	-	NSR-SF130	i線	26mm × 33mm	0.28 μ m	FD4 0000 F00			
2004		NSR-S308F NSR-S208D	ArF K-E	26mm × 33mm 26mm × 33mm	0.065 μ m 0.11 μ m	FPA-6000 ES6	KrF	26mm × 33mm	0.1 μ m
		N3N-3200D	KrF			FPA-5500 iZa	i線	26mm × 33mm	0.35 μ m
		NSR-S609B	ArF: To :	Zhmm X Clmm					
		NSR-S609B	ArF液浸	26mm × 33mm	0.055 μ m				
2005		NSR-S609B	ArF液浸	26mm × 33mm	0.055 μ m	FPA-5500 iX FPA-6000 ES4b	i線 KrF	□50mm 26mm × 33mm	0.5 μ m 0.11 μ m

参考資料1 半導体の製造プロセス

半導体製造装置のなかで、露光装置の位置づけ明確 にする目的で、半導体の製造工程とそこで使用されて いる製造装置について簡単に説明する。

一般的な半導体の製造工程は、半導体の素子形成を行うFEOL (Front end of line) と、配線を主体とした BEOL (Back end of line) に分けられる。

ここでは、半導体の製造に使用されるいろいろな装置の使い方がわかるように、CMOSタイプのICに比べると、単純な製造工程となるN型MOSトランジスタの製造を例に、FEOLでの工程の進み方とその工程で使用される装置について説明する。実際の製造ラインでは、単純な製造工程であるN型MOSトランジスタでも、参考資料1に示した工程よりもさらに、多くの処理工程が随所に挿入され、各工程で使用される装置も多岐にわたるが、本来の説明が煩雑になることを避けて、必要最小限の工程と、その工程で一般的に使用されている装置について説明し、その他の装置については、概要を紹介するにとどめた。ここでは、数字とそれに続く強調文字の部分をとばして読むと、文章が連続するように記述してある。

シングルNウエル型のCMOSトランジスタの製造工程

ここでは、上述のトランジスタの製造工程を、順を 追って説明する。実際の工程では、この説明以外にも 随所に洗浄工程、検査工程が挿入されているが、ここ では、一連の製造工程の中で、フォトリソグラフィー の役割を明確化することに主眼をおいているため、これと直接関係のない工程ほ説明は省略した。

CMOSトランジスタの製造工程で多く使用されているのは、ホール(Hole)がキャリアとなる不純物として硼素(ボロン;B)を入れたもので、この半導体ウェーハは、P-sub Wafer(P型ウェーハ)と呼ばれている。P-subのsubは、substrate(基板)の略である。

1. 洗浄工程

両面あるいは片面を鏡面研磨されたシリコン・ウェーハの表面に付着した微細なパーティクル、 有機化合物、金属汚染などを除去するウェーハ の洗浄は非常に重要な工程で、一般的には、ウ エット処理のための複数の洗浄槽と乾燥装置が 一体となったマルチ・ステーション洗浄装置が 用いられる。

2. 熱酸化膜形成工程

つぎに、熱酸化炉と呼ばれる炉でシリコンの薄い 酸化膜をつける。

この最初の酸化膜を作る工程では、膜厚が1000Å

ぐらいなので、約900~1000℃ぐらいの温度でドライ酸化をする。この酸化膜成膜の目的は、使用するウェーハの表面を一度酸化し、塵や表面の段差、余計な不純物などを取り除くために行う。したがって、ここで生成した表面の酸化膜は、次の工程で、エッチングにより除去する。これは、工程を重ねていくうちに不具合が強調されてしまうのをさけるためである。半導体というのは非常にミクロな領域での話なので、このように細心の注意を払っても、最後の工程に達するまでにはいろいろと問題が出てくるのが普通である。

3. ウエット・エッチング工程

BHF溶液などを用いたウエット・エッチングで熱酸化膜を除去する。

4. 洗浄工程

前述のBHF溶液によるウエット・エッチング工程 は、ウエット処理のための複数の洗浄槽と乾燥装 置が一体となったマルチ・ステーション洗浄装置 を用いて同時に行うことも出来る。

5. エピタキシャル成長工程

エピタキシー(epitaxy)とは、「上」を意味する エピ(epi)と「配列」を意味するタキシス (taxis)の合成語で、エピタキシャル成長とは、 基板結晶上に基板結晶と同じ方位関係を持った結 晶を成長させることである。

エピタキシャル成長の目的は、何層も積み重ねた 結晶層の組成や不純物の濃度をコントロールした デバイスの製造や、基板結晶よりも欠陥が少ない 良質な結晶層を得るために行われる。

6. 酸化膜の成膜工程

ここでは、熱酸化装置を用い、ウェーハを約900℃の酸化雰囲気中で処理し、表面にシリコンの酸化膜(二酸化珪素の薄膜)を形成する。

7. 窒化膜の成膜工程

さらに、減圧化学気相堆積(LP-CVD)装置を用いて、約800℃の温度でジクロール・シランとアンモニアを反応させ、酸化膜上にシリコンの窒化膜(窒化珪素の薄膜)を堆積させる。

8. 洗浄工程

そして、再び洗浄工程を経た後、

9. フォトリソグラフィー工程

フォトリソグラフィー工程の詳細については、第 二章を参照されたい。

10. ドライ・エッチング工程

その後、測長SEMでレジスト・パターンが正確 に形成されていることを検査する工程をへて、硬 化したレジストをレチクルとして、ドライで処理 できる反応性イオン・エッチング(RIE; Reactive Ion Etching)装置を用いて、フロロカ ーボン(CF4)のプラズマ・ガスで、窒化膜と酸 化膜を除去する。

さらに、露出したシリコンの表面にドライ・エッチングで浅い溝をつける(シャロー・トレンチ; Shallow Trench)。

11. アッシング工程

つぎに、不要となったフォト・レジストをアッシング装置で除去し、再び洗浄工程をへて、

12. 熱酸化膜の成膜工程

熱酸化炉と呼ばれる酸素雰囲気の炉内で薄いシリコンの酸化膜をシャロー・トレンチ部分に成長させる。

13. 酸化膜の堆積工程

さらに、LP-CVD法(減圧化学気相堆積法)で、 ジクロール・シランと酸素を反応させ、シャロ ー・トレンチを埋めるために厚いシリコンの酸化 膜を堆積させる。

14. 平坦化 (CMP) 工程

堆積させたシリコン酸化膜をCMP装置で除去し、 洗浄工程に進む。

15. 洗浄工程

CMP後の洗浄は、通常ウエット・ステーションで行われるため、この窒化膜も、同じウエット・ステーションを用いて、燐酸の加熱溶液の槽を加えたウエット・エッチングで除去する。

16. イオン注入工程

つぎに、フォトリソグラフィー工程でPチャンネル領域となる場所以外をレジストでマスキングした後、イオン・インプラテーションで、燐(P)をイオン注入し、PチャンネルのMOSトランジスタを形成する部分にNーウエルを形成する。

<N-ウエル (N-well) >

N一ウエルとは、N型導電層の量子井戸のことである。 詳しくは、半導体関連の書籍が量子力学、固体物理などの参考書を参照されたい。

17. アッシング工程

つぎに、不要となったフォト・レジストをアッシング装置で除去し、フッ酸(HF)によるウエット・エッチングでウェーハ表面の酸化膜を除去し、シリコン表面を露出させる。その後、再び洗浄工程をへて、

18. 熱酸化膜の成膜工程

クリーンな高温の酸素雰囲気中でウェーハを熱酸

化しシリコン表面に酸化膜を成長させる。このゲート酸化膜は、MOSトランジスタの性能を決めるKeyとなるので、クリーンな熱酸化が必要であり、細心の注意がはらわれる。

19. CVD工程

窒素(N2)ガス雰囲気中で、ジクロール・シランを熱分解させて、酸化膜上にポリシリコンを堆積させる。このポリシリコンには、燐(P)や砒素(As)などのN型導電不純物がCVD中に添加される。

20. ゲート電極形成

再びフォトリソグラフィー工程でゲート電極となる部分のレジストのみを残して現像し、そのレジストをマスクにして、ポリシリコンをエッチングすると、ポリシリコンのゲート電極が形成される。

21. アッシング工程

つぎに、不要となったフォト・レジストをアッシング装置で除去し、再び洗浄工程をへて、

22. イオン注入工程

フォトリソグラフィー工程でNチャンネル領域となる場所以外をレジストでマスキングした後、イオン・インプラテーションで、燐(P)をイオン注入し、Nチャンネル領域にN型導電領域が自動生成される。この2つのN型導電領域は、後の工程でFETのソースとドレインになる。

23. アッシング工程

再び、不要となったフォト・レジストをアッシン グ装置で除去し、再び洗浄工程をへて、

24. イオン注入工程

つぎに、フォトリソグラフィー工程でPチャンネル領域となる場所以外をレジストでマスキングした後、イオン・インプラテーションで、硼素(B)をイオン注入し、PチャンネルのMOSトランジスタを形成する部分にPウエルを形成する。この2つのP型導電領域は、後の工程でFETのソースとドレインになる。

25. アッシング工程

レジスト剥離は、ウエットとドライの両方法があるが、この工程の場合、イオン・インプラテーションによってレジストが叩かれているため、プラズマ・アッシャーによる剥離が効果的であるが、プラズマ・ダメージに注意を要する。

26. 酸化膜の堆積工程

さらに、LP-CVD法(減圧化学気相堆積法)で、 ジクロール・シランと酸素を反応させ、厚いシリ コンの酸化膜を堆積させる。

27. 異方性ドライ・エッチング工程

異方性ドライ・エッチングで、ゲート電極の側壁 にのみシリコン酸化膜が残るようにする。これが ゲート電極のサイド・ウォール (側壁酸化膜) と なるわけである。

28. イオン注入工程

つぎに、フォトリソグラフィー工程でNチャンネル領域となる場所以外をレジストでマスキングした後、イオン・インプラテーションで、砒素(As)をイオン注入し、Nチャンネル・トランジスタのゲート・ポリシリコンと同時にソースとドレインになる領域に高濃度のN形導電領域(N+領域)を形成する。この領域は、Nチャンネル・トランジスタのゲート電極のサイド・ウォールに対して、セルフ・アラインで位置決めされ自動で形成される。

29. アッシング工程

その後、レジストを剥離し、洗浄工程をへて、フォトリソグラフィー工程でPチャンネル領域となる場所以外をレジストでマスキングして、

30. イオン注入工程

イオン・インプラテーションで、硼素 (B) をイオン注入し、Pチャンネル・トランジスタのゲート・ポリシリコンと同時にソースとドレインになる領域に高濃度のP形導電領域 (P+領域) を形成する。この領域は、Pチャンネル・トランジスタのゲート電極のサイド・ウォールに対して、セルフ・アラインで位置決めされ、自動で形成される。その後、レジストを剥離し、洗浄工程をへて、

31. スパッタリング工程

ウェーハ全面にスパッタリング法で、コバルト (Co) の薄膜を堆積する。

32. 熱処理工程

ウェーハを高温で加熱処理すると、コバルト (Co) とシリコン (Si) が接触している部分 (ソース、ドレイン、ゲート) でコバルトとシリコン が反応して、コバルト・シリサイト (CoSi 2) を 形成する。

33. エッチング工程

フッ酸(HF)などによるウエット・エッチングで、未反応のコバルトを除去する。このエッチング処理では、シリコン表面及びゲート電極部分のコバルト・シリサイト膜はエッチングされないので残る。そして、洗浄工程をへて、

34. 層間絶縁膜形成工程

ジクロール・シランと酸素ガスのLP-CVD法でシリコン酸化膜を厚く堆積し、層間絶縁膜を形成する。

35. 平坦化 (CMP) 工程

堆積させた層間絶縁膜をCMP装置で除去し表面 を平坦化した後、洗浄工程をへて、再びフォトリ ソグラフィー工程へ進む。

36. フォトリソグラフィー工程

レジスト処理工程をへて、コンタクト・ホールを 形成するためのレジスト像を作る。

37. エッチング工程

レジスト像をマスクとしたエッチングで、シリコン酸化膜に引出し電極用のコンタクト・ホールを 形成する。

その後、レジスト剥離工程、洗浄工程をへて、

38. スパッタリング工程

スパッタリング装置で、バリア膜としての窒化チタン (TiN) 膜を堆積する。続けて、

39. CVD工程

CVD法で、コンタクト・ホールに埋め込むため にタングステン (W) 膜を堆積する。

40. 平坦化 (CMP) 工程

堆積させたタングステンとバリア膜として堆積してあった窒化チタン膜をCMP装置で除去し絶縁膜を露出させ、表面を平坦化した後に、洗浄工程をへて、

41. スパッタリング工程

窒化チタン膜、配線材料であるアルミ(Al)膜、 窒化チタン膜と順次スパッター法で膜を堆積する。

- 42. フォトリソグラフィー工程とエッチング工程 レジスト像をマスクとしたエッチングで、窒化チ タン膜、アルミ膜、窒化チタン膜からなる配線材 膜に素子間の配線回路を形成する。その後、レジ スト剥離工程、洗浄工程をへて、
- 43. 層間絶縁膜形成工程

ジクロール・シランと酸素ガスのLP-CVD法でシリコン酸化膜を厚く堆積し、第一層と第二層目の配線層を絶縁するための層間絶縁膜を形成する。

44. 平坦化 (CMP) 工程

堆積させた層間絶縁膜をCMP装置で除去し表面 を平坦化した後、洗浄工程をへて、再びフォトリ ソグラフィー工程へ進み、

45. フォトリソグラフィー工程とエッチング工程 レジスト像をマスクとしたエッチングで、シリコ ン酸化膜に第一層の配線と第二層の配線を接続す るためのビア・ホールを形成する。その後、レジ スト剥離工程、洗浄工程をへて、

46. スパッタリング工程

第二層目の配線材料として、バリアとなる窒化チ タン膜、配線材料であるアルミ膜、窒化チタン膜 と順次スパッター法で膜を堆積する。

- 47. フォトリソグラフィー工程とエッチング工程 レジスト像をマスクとしたエッチングで、窒化チ タン膜、アルミ膜、窒化チタン膜からなる配線材 膜に第二層目の素子間の配線回路を形成する。そ の後、レジスト剥離工程、洗浄工程をへて、
- 48. 層間絶縁膜形成工程

配線金属(この場合はアルミ)と回路素子を保護するために、パッシベーション膜(絶縁膜)を堆積させる。一般的には、ジクロール・シランと酸素及び窒素ガスを用いてCVD法でシリコン酸窒化膜(SiON)を堆積させる。

その後、洗浄工程、フォトリソグラフィー工程をへて、エッチングにより電極パッドとなる部分のパッシベーション膜を除去して、パッド部分を露出させて前工程を全て終了する。

このように、二層配線の単純なCMOS工程でも12回 のフォトリソグラフィー工程を繰返して半導体チップ が製造されるわけである。現在では、十層以上の配線 層をもつ半導体素子も出てきており、一層あたり最低 2回のフォトリソグラフィー工程を通過することにな るので、この場合、二十回以上のフォトリソグラフィ ー工程をへて、チップが完成することになる。そして、 各工程では、当然のことながら、重ね合わせる回路素 子パターン同士の相対的な位置合わせ精度が要求され ることになり、ステッパーの開発では、アライメン ト・マークの検出方法、マークの大きさや形状、マー クを埋め込む位置などが精度を維持する上で常に問題 となり、加えて、他社のステッパーのアライメント・ マーク位置との干渉もまた問題として提起されるな ど、半導体デバイスメーカーとの協力関係の構築が重 要な課題の一つであった。

参考資料2 半導体製造プロセスで使用される装置

主な半導体プロセス装置についての若干の説明を加 えておく。

<エピタキシャル成長装置>

下地の結晶ウェーハ上にそれと同じ結晶構造を有する膜を堆積する方法をエピタキシ法といい、エピタキシ法により成膜する装置をエピタキシャル成長装置という。ピュアーな薄膜を形成する装置。

<RTP装置>

RTPは、Rapid Thermal Processの略で、急速加熱処理装置の総称であり、半導体の製造プロセスでは、随所に出てくる装置。

<エッチング装置>

エッチングとは、薬品やイオンの腐食作用を使ってIC の回路を形成する工程である。前の現像工程でレジストを溶かして回路パターンの像を形成し、その溶けた部分の下にある層を溶かす、あるいは削って回路パターンを作ることになるが、この溶かす、あるいは削って回路パターンを作る工程をエッチング工程と呼び、エッチングの方法にはウエット式とドライ式の2つがある。エッチング装置は、フォトリソグラフィー工程で形成された回路素子のレジスト像をシリコン基盤に刻み込む重要な装置。

<CVD装置>

CVD(Chemical Vapor Deposition)とは化学気相成長のことで、ウェーハの表面に特殊なガスを供給して化学反応を起こし、その反応で生成された分子の層をウェーハ上に形成するものである。化学反応をスムーズに行わせるために、熱や光、プラズマのエネルギーが使われる。この方法は二酸化珪素層や窒化珪素層のほか、一部の金属層やシリコンと金属の化合物の層を作るときにも使われる成膜装置。

<PVD (Physical Vapor Deposition) 装置>

真空蒸着装置とスパッタリング装置(Sputtering system)は物理蒸着法のひとつで、成膜する材料を真空中で加熱蒸発(気化)させウェーハ上に堆積する成膜装置の総称である。

<イオン注入装置(Ion Implanter)>

イオン・インプランテーション(Ion Implantation)は略してインプラとも言い、現在では不純物導入で最も良く使われているイオン注入技術である。インプラでは燐、ヒ素、硼素などの不純物を真空中でイオンに

して、高電界で加速してウェーハ表面にぶつけて導入 する。不純物の入る深さは加速電圧で決まり、不純物 の量はイオン電流で決まる。トランジスタの形成には 不可欠の装置である。

<CMP装置>

CMP装置の心臓部は、化学機械研磨(CMP; Chemical Mechanical Polishing)という名前が示しているように、ウェーハを保持して回転と加圧を与える研磨ヘッド機構、研磨布(パッド)が貼り付けられた回転定盤とその駆動機構、研磨布のドレッシング機構、ウェーハ・チャック面の洗浄ユニット、加工液と砥粒からなるスラリーのウェーハ加工面への供給機構で構成される。

ウェーハ表面の平坦度の精度を上げるには、ウェーハをいかに精度よく保持し、加圧し、回転して研磨するかが重要である。そのため、研磨ヘッドを含むこの部分は、装置メーカーによりいろいろな方式が提案されている。多層配線のVLSIの製造には不可欠の平坦化装置。

<ウエット・クリーニング装置>

半導体製造プロセスで重要な技術の一つが洗浄技術で、ウエット洗浄の基本的考え方は、1960年代にRCA社(米国)のKernらによって開発された。その後、界面活性剤の添加、オゾン水の代替やメガソニック(超音波)の利用など、幾多の改良を重ねながらも、基本的な部分はRCA洗浄法という呼び名で、現在でも半導体洗浄の主流となっている。

RCA洗浄法で使用される薬液は、APM、HPM、SPM、DHF、BHFの5種類で、APMは通称SC-1、HPMはSC-2、SPMはピラニア溶液とも呼ばれる。

APM=Ammonia Hydroxide/Hydrogen Peroxide/ Water Mixture

HPM=Hydrochloric Acid/Hydrogen Peroxide/ Water Mixture

SPM=Sulfuric Acid/Hydrogen Peroxide/ Water Mixture

DHF=Diluted Hydrofluoric Acid

BHF=Buffered Hydrofluoric Acid

SC-1=RCA Standard Clean1

SC-2=RCA Standard Clean2

なお、薬液の詳細についての説明は、専門書を参照 されたい。

国立科学博物館 技術の系統化調査報告 第6集

平成18(2006)年3月31日

■編集 独立行政法人 国立科学博物館

産業技術史資料情報センター

(担当:コーディネイト 永田 宇征、エディット 久保田稔男)

■発行 独立行政法人 国立科学博物館

〒110-8718 東京都台東区上野公園 7-20

TEL: 03-3822-0111

■デザイン・印刷 株式会社ジェイ・スパーク